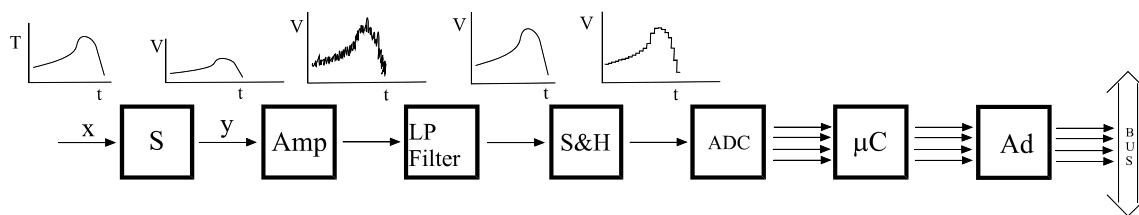


6 DIGITALNA OBDELAVA SIGNALOV

- 6.1 UVOD
- 6.2 PREDNOSTI DIGITALNEGA ZAPISA
- 6.3 OSNOVE DIGITALNEGA ZAPISA
- 6.4 VZORČENJE ZVEZNEGA SIGNALA
- 6.5 VZORČNO-ZADRŽEVALNO VEZJE (S/H)
- 6.6 DIGITALNO-ANALOGNI PRETVORNIKI (DAC)
- 6.7 ANALOGNO-DIGITALNI PRETVORNIKI (ADC)
- 6.8 KOMPARATORJI
- 6.9 MULTIVIBRATORJI
- 6.10 FREKVENČNI PRETVORNIKI

6.1 UVOD

Večina senzorskih aplikacij se danes zaključí z digitalno obdelavo signalov (Digital Signal Conditioning, DSC), ob podpori (mikro)računalnikov. Tipičen senzorski sistem, ki vsebuje še mikroročunalnik ali manjši mikrokontroler ter prilagodilno vezje (adapter) za priključitev in komunikacijo s centralnim računalnikom po vodilu (bus), imenujemo pametni (smart) senzor (Sl 6.1).



SI 6.1 Pametni (smart) senzor

6.2 PREDNOSTI DIGITALNEGA ZAPISA

Prednosti digitalnega zapisa in digitalne obdelave signalov pred analognim pristopom lahko razdelimo v dve skupini:

I. Digitalni zapis in obdelava signala izkazujeta večjo zanesljivost v primerjavi z analognim signalom:

- analogni signali so bolj podvrženi različnim motilnim vplivom, ki izvirajo iz okolja ali same elektronike, kot so npr. šumi, interference, lezenja (drifti) lastnosti senzorjev in elektronskih elementov ali vezij (npr. ojačevalnikov itd.), vplivi obremenitev na lastnosti elementov in vezij (loading effects), itd.
- digitalni signali so manj občutljivi, saj se digitalni zapis (logična 1 ali 0) ohranja med celotno obdelavo, razen v redkih izjemnih primerih (Fatal Error).

II. Uporaba raznih vrst večjih in manjših računalnikov v sensoriki, od osebnih računalnikov (PC-jev) do mikroročunalnikov, mikrokontrolerjev, PLC-jev (Programmable Logic Controllers), mikroprocesorjev itd., prinese vrsto prednosti:

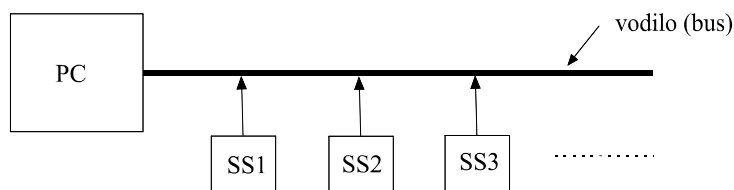
- 1) Relativno enostavna obravnava enačb, ki opisujejo senzor in senzorski sistem, kar omogoča numerično korekcijo njihovih lastnosti kot je npr. linearizacija odziva, kompenzacije (npr. temperaturna kompenzacija odziva), itd.
- 2) Večja fleksibilnost in prilagodljivost sistema - spremembe izvedemo lahko enostavno z vnašanjem ukazov preko tipkovnice oz. s spremembami v programski opremi (software). Računalnik npr. prejema od sensorja podatke in jih po vstavljenem/popravljenem programu obdela in izvede potrebne akcije kot so prikaz podatkov na nekem prikazovalniku ali njihova shranitev v spominu, izvede opozorilne akcije (npr. alarm, če je presežena kritična vrednost, zapisana v programu) ali kontrolne akcije (npr. vklop hlajenja, če je presežena s programom nastavljena temperatura), itd.

3) Dobro upravljanje in kontrola senzorskega sistema, zlasti v primeru kompleksnih senzorskih sistemov s številnimi, mnogovrstnimi senzorji: kot najprimernejša rešitev se v tem primeru kaže povezava oz. komunikacija senzorji - centralni računalnik, ki poteka po vodilu (Bus) (SI 6.2).

Vodilo je fizično vzeto oz. gledano s stališča strojne opreme (hardware) ena ali več žic za prenos signalov. S stališča programske opreme (software) pa je vodilo skupek predpisov (protokol) o dogovorjenem zaporedju (sekvenci) raznih pulzov oz. ukazov, kot npr.:

- pulz, ki nekemu senzorju ukaže, naj začne pošiljati podatke
- pulz, ki nekemu senzorju ukaže, naj preneha pošiljati podatke, itd.

Obstojata veliko različnih izvedb vodil za razne namene, npr. HPIB oz. GPIB (IB - Interface Bus), itd. Situacija na področju vodil je zelo dinamična, stalno se pojavljajo novi standardi.



SI 6.2 Kompleksen senzorski sistem: povezava senzorji - centralni računalnik

4) Vstop mikroelektronike na področje senzorjev prinese, kot vedno, še vrsto prednosti: miniaturizacija, višja zanesljivost, boljše vf delovanje, nove funkcije, manjša poraba moči, nižja cena itd.

6.3 OSNOVE DIGITALNEGA ZAPISA

6.3.1 UVOD

V uvodnem delu si bomo ogledali najprej nekatere osnovne pojme, ki jih srečamo pri digitalnem zapisu.

6.3.1.1 Binarni zapis

Običajno se danes v digitalni tehniki za zapis signalov uporablja le dve stanji, z visoko ali nizko vrednostjo (High - H, Low - L) neke primerne spremenljivke (napetost, tok itd.). Tedaj govorimo o binarnem zapisu signala (bi - dva).

Možen je seveda tudi zapis signalov z več stanji. Vendar tega primera tu ne bomo obravnavali, ker velika večina digitalne obravnave danes poteka binarnem svetu. Vseeno omenimo, da v prihajajoči kvantni nanoelektroniki nastopa zapis signalov z več stanji. To nas vodi v zapleten in nenavaden svet večnivojske logike, kjer so stvari bistveno drugačne kot v binarnem svetu.

6.3.1.2 Osnovni digitalni signal

Osnovni digitalni signal je običajno podan (Sl 6.3a) v obliki napetosti na žici (vodilu), ki ima lahko proti masi visok potencial (High), zato dogovorjena oznaka H oz. 1 ali nizek potencial (Low), zato oznaka L oz. 0.

6.3.1.3 Bit

Stanje H ali L oz. 1 ali 0 imenujemo v digitalni tehniki binarna številka (binary digit) ali kratko bit.

6.3.1.4 Beseda

Beseda (Word) je zapis oz. digitalno število, sestavljeno iz n bitov (številke) oz. žic (Sl 6.3b). Za popolno informacijo mora biti podan tudi dogovor o najbolj vplivni številki v nizu (Most Significant Bit - MSB) oz. o najmanj vplivni številki v nizu (Least Significant Bit - LSB). Dolžina besede znaša n-bitov oz. govorimo o n-bitni besedi ali številu.

Na Sl 6.3b je predstavljena v fizični obliki 4-bitna beseda oz. število z vrednostjo 1011.



Sl 6.3 Osnovni digitalni signal (a) in predstava 4-bitne besede (b)

6.3.1.5 Pomen dolžine besede n

Z n -bitno besedo dobimo 2^n različnih kombinacij oz. vrednosti ali števil, ki so na razpolago za opis npr. vrednosti na nekem intervalu. Nekaj primerov:

4-bitna beseda ima $2^4 = 16$ različnih vrednosti ali števil, ki so na razpolago za opis nekega intervala.

Za večjo natančnost opisa vzamemo daljše besede:

8-bitna beseda ima $2^8 = 256$ različnih vrednosti

16-bitna beseda ima $2^{16} = 65.535$ različnih vrednosti

32-bitna beseda ima $2^{32} \sim 4.3 \times 10^9$ različnih vrednosti itd.

6.3.1.6 Byte

Byte je osnovna enota za količino podatkov oz. števil, npr. v spominskem čipu nekega računalnika. Po dogovoru velja

$$1 \text{ byte} = 8 \text{ bitov}$$

Torej predstavlja npr. $1 \text{ kbyte} = 1024 \times 8 \text{ bitov} = 8192 \text{ bitov}$ oz. števil, itd.

6.3.2 ŠTEVILSKI SISTEMI

6.3.2.1 Uvod

Najpogostejši in najbolj domač je običajni desetiški (decimal) sistem, pri katerem uporabljamo deset različnih števil 0,1, 2,...,9. Poljubno število v desetiškem sistemu tvorimo s pomočjo potenc števila 10, npr.: $365 = 3 \cdot 10^2 + 6 \cdot 10^1 + 5 \cdot 10^0$. Zato ta sistem imenujemo desetiški sistem števil ali tudi številski sistem z bazo 10

V digitalni tehniki se kot zelo uporabni pokažejo še drugi številski sistemi. Najpogostejši je dvojiški (binarni) številski sistem, kjer vsa števila opišemo le z dvema številcema, 0 in 1. V digitalni tehniki in računalništvu nasploh so zelo uporabni še številčni sistemi, ki so mnogokratniki števila 4 (osmiški, šestnajstiški, dvaintridesetiški itd). Vzrok je v enostavni pretvorbi števil iz enega sistema v drugega z grupiranjem (več kasneje).

Pogosto označimo pripadnost obravnavanega števila nekemu številčnemu sistemu s tem, da zapišemo bazo sistema kot spodnji indeks na koncu števila. Izjema je šestnajstiški sistem, kjer pišemo črko H za številom.

6.3.2.2 Binarni sistem

Nekemu binarnemu številu $b_n b_{n-1} \dots b_2 b_1 b_0$ (MSB: b_n) pripada po definiciji naslednje število v desetiškem sistemu N_{10}

$$N_{10} = b_n 2^n + b_{n-1} 2^{n-1} + \dots + b_2 2^2 + b_1 2^1 + b_0 2^0 \quad (6.1)$$

Primer: Pretvori binarno število 101111_2 v desetiški sistem!

Reševanje: V skladu z en(6.1) pišemo

$$\begin{aligned} 101111_2 &= 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = \\ &= 32 + 0 + 8 + 4 + 2 + 1 = \underline{47}_{10} \end{aligned}$$

Poglejmo še obratno operacijo!

Primer: Pretvori desetiško število 47_{10} v binarno število!

Reševanje: Binarno število pišemo v obliki $b_n b_{n-1} \dots b_2 b_1 b_0$ (MSB: b_n). Posamezne člene b_i določimo z zaporednimi deljenji z 2 po naslednjem pravilu:

- če je ostanek pri deljenju $1/2$, postavimo $b = 1$
- če je ostanek pri deljenju 0 , postavimo $b = 0$

$$\begin{aligned} \frac{47}{2} &= 23 + \frac{1}{2} & \longrightarrow & b_0 = 1 & (LSB) \\ \frac{23}{2} &= 11 + \frac{1}{2} & \longrightarrow & b_1 = 1 \\ \frac{11}{2} &= 5 + \frac{1}{2} & \longrightarrow & b_2 = 1 \\ \frac{5}{2} &= 2 + \frac{1}{2} & \longrightarrow & b_3 = 1 \\ \frac{2}{2} &= 1 + 0 & \longrightarrow & b_4 = 0 \\ \frac{1}{2} &= 0 + \frac{1}{2} & \longrightarrow & b_5 = 1 & (MSB) \end{aligned}$$

Torej $47_{10} = 101111_2$, kar potrjuje prejšnji primer.

6.3.2.3 Osmiški sistem

Osmiški (Octal) sistem ima za osnovo število 8. Število v osmiškem sistemu $d_n d_{n-1} \dots d_2 d_1 d_0$ zapišemo v desetiškem sistemu s potencami števila 8

$$N_{10} = d_n 8^n + d_{n-1} 8^{n-1} + \dots + d_2 8^2 + d_1 8^1 + d_0 8^0 \quad (6.2)$$

Prednost osmiškega sistema je enostavna pretvorba števil iz binarnega v osmiški sistem s pomočjo grupiranja po 3 številke, začeti z desne oz. pri LSB.

Primer: Pretvori število v binarnem sistemu 101111_2 v število v osmiškem sistemu!

Reševanje: Pretvorbo najenostavneje izvedemo z grupiranjem po 3 številke z desne oz. pri LSB in nato lahko obravnavamo vsako grupo posebej

$$101111_2 = 101 \mid 111 = 4+0+1 \mid 4+2+1 = \underline{57}_8 \quad (6.3)$$

Preizkus, če najprej dano binarno število pretvorimo v desetiško in nato po en(6.2) v osmiško, potrdi pravilnost predlaganega postopka.

6.3.2.4 Šestnajstiški sistem

Šestnajstiški (Hexadecimal) oz. kratko Hex številski sistem se splošno uporablja v 4, 8, 16 in večbitnih računalnikih, ker je možno enostavno pretvarjati števila iz enega številkega sistema v drugega z grupiranjem.

Namesto številke od 0 do 15 se tu nad 9 uporabljajo prve črke abecede:

desetiški sistem:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
hex sistem:	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F

Pripadnost števila hex sistemu označimo s tem, da pišemo desno ob številu, pri LSB, črko H (in ne spodnji indeks 16 kot v prejšnjih primerih).

Zvezo med številom v hex sistemu $c_n c_{n-1} \dots c_2 c_1 c_0 H$ in številom v desetiškem sistemu zapišemo v obliki

$$N_{10} = c_n 16^n + c_{n-1} 16^{n-1} + \dots + c_2 16^2 + c_1 16^1 + c_0 16^0 \quad (6.4)$$

Primer: Pretvori število 47H v desetiški sistem!

Reševanje: Pretvorbo izvedemo s pomočjo en(6.4)

$$47H = 4 \times 16^1 + 7 \times 16^0 = 64 + 7 = \underline{71}_{10} \quad (6.5)$$

Osnovna prednost hex sistema je enostavna pretvorba 4-bitnih (in mnogokratnikov tega) števil iz binarnega v hex sistem: v tem primeru je dovoljeno grupiranje po 4 številke!

Primer: Pretvori binarno število 10110101_2 v hex število!

Reševanje: Pretvorbo izvedemo najenostavneje s pomočjo grupiranja z desne (LSB) po 4 številke in nato obravnavamo vsako grupo posebej

$$10110101_2 = 1011 \mid 0101_2 = 8+2+1 \mid 4+1 = 11 \mid 5 = \underline{B5H} \quad (6.6)$$

Preizkus: če gornje binarno število pretvorimo v desetiško, dobimo vrednost 181_{10} . Če pretvorimo še gornje hex število $B5H$ v desetiško število, dobimo spet vrednost 181_{10} . Preizkus torej potrди pravilnost postopka z grupiranjem.

6.3.2.5 Binarno decimalno število

Binarno decimalno oz. necelo število zapišemo podobno kot v običajnem desetiškem sistemu v obliki $0.b_1b_2\dots b_n$, kjer je b_n LSB bit. Pripadajoče decimalno število v desetiškem sistemu N_{10} je določeno z izrazom

$$N_{10} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} (LSB) \quad (6.7)$$

Primer: Za binarno decimalno število 0.1101_2 določi pripadajoče decimalno število v desetiškem sistemu!

Reševanje: V našem primeru je torej binarno decimalno število $0.1101_2 = 0.b_1b_2b_3b_4$ in v skladu z en(6.7) pišemo

$$\begin{aligned} N_{10} &= 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} = \\ &= 0.5 + 0.25 + 0 + 0.0625 = \underline{0.8125_{10}} \end{aligned} \quad (6.8)$$

Včasih potrebujemo obratno operacijo, pretvorbo decimalnega števila iz desetiškega v binarni sistem. Postopek si oglejmo na preprostem primeru.

Primer: Za decimalno število v desetiškem sistemu 0.8125_{10} določi pripadajoče decimalno število v binarnem sistemu!

Reševanje: Postopek izvedemo obratno kot v prejšnjem primeru, z množenjem z 2 po naslednjem pravilu:

- če je zmnožek večji od 1, je ustrezní bit $b = 1$, in pri prenosu odštejemo 1
 - če je zmnožek manjši od 1, je ustrezní bit $b = 0$, in pri prenosu ne odštejemo 1
- Postopek se zaključi, ko postane zmnožek enak 1, saj sledijo nato same 0.

Torej,

$$\begin{array}{rcll}
 2 \times 0.8125 & = & 1.625 & \longrightarrow b_1 = 1 \quad (MSB) \\
 2 \times 0.6125 & = & 1.25 & \longrightarrow b_2 = 1 \\
 2 \times 0.25 & = & 0.5 & \longrightarrow b_3 = 0 \\
 2 \times 0.5 & = & 1.0 & \longrightarrow b_4 = 1 \quad (LSB)
 \end{array} \tag{6.9}$$

Torej je odgovor v našem primeru: $0.8125_{10} = 0.1101_2$. Rešitev je pravilna, saj se ujema z rezultatom prejšnjega, obratnega primera - gl.en(6.8)

6.3.2.6 Binarno negativno število

Binarno negativno število lahko zapišemo na več načinov.

1) Zapis z predznakom: negativno število označimo s tem, da pred številom pišemo predznak minus (-), podobno kot pri običajnih številih

2) Zapis z predznakom in velikostjo: posebej za oznako predznaka dodamo pred binarno število še eno novo številko (0 ali 1), ki podaja predznak po dogovoru, ki ga sami določimo in potem držimo!

Primer: Zapiši binarno negativno število 1011 oz. -1011.

Rešitev: Najprej izberemo npr. dogovor: če pred številom stoji 1, je število negativno, če pa 0, je število pozitivno.

Torej, -1011 po tem dogovoru zapišemo kot 11011.

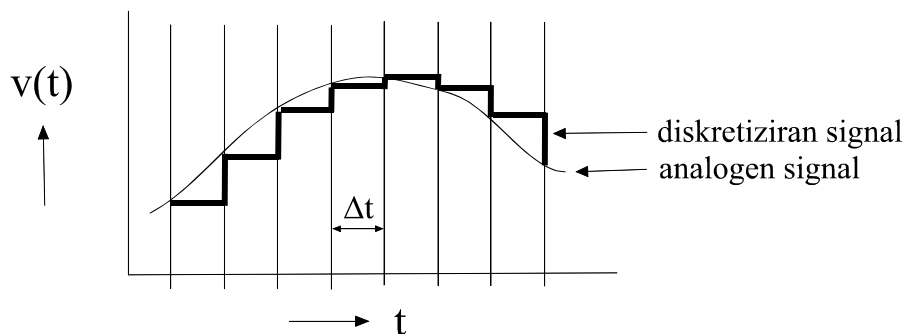
6.4 VZORČENJE ZVEZNEGA SIGNALA

6.4.1 UVOD

Vzorčenje (Sampling) zveznega signala imenujemo tudi diskretizacija. Pri postopku vzorčenja zvezni oz. analogni signal pretvorimo v ustrezen diskretni (stopničast) signal(Sl 6.4).

6.4.2 POSTOPEK VZORČENJA

Imamo nek analogen(zvezen) signal $v(t)$, kot prikazuje SI 6.4. Časovno os razbijemo na majhne intervale Δt in na vsakem intervalu pripišemo signalu konstantno vrednost - običajno vzamemo kar začetno vrednost na pripadajočem intervalu (SI 6.4).



SI 6.4 Postopek vzorčenja: analogen(zvezen) signal pretvorimo v diskreten(stopničast) signal

6.4.3 SHANNONOV TEOREM VZORČENJA

V opisanem primeru pravimo tudi, da vzorčimo s frekvenco vzorčenja (sampling) f_s

$$f_s = \frac{1}{\Delta t} \quad (6.10)$$

Shannonov teorem vzorčenja pravi, da moramo za ohranitev vse informacije zveznega signala oz. vseh njegovih frekvenčnih komponent vzorčiti najmanj s frekvenco $2f_{\max}$

$$f_s \geq 2f_{\max} \quad (6.11)$$

kjer je f_{\max} zgornja frekvenca harmonskih komponent, ki jih vsebuje obravnavani zvezni signal, če ga npr. razvijemo po Fourieru.

Minimalno frekvenco za dobro vzorčenje, ki je po en(6.11) enaka $2f_{\max}$, imenujemo tudi kratko Nyquistova frekvenca f_N in velja torej

$$f_N = 2f_{\max} \quad (6.12)$$

V določenih primerih se izkaže za koristno, če vzorčimo s frekvencami vzorčenja f_s , ki so precej višje od Nyquistove frekvence. Tak primer opišemo s ti. nadvzorčenjem (Oversampling) K , ki je določeno kot razmerje med Nyquistovo frekvenco in frekvenco vzorčenja za dani primer

$$K = f_N / f_s \quad (6.13)$$

6.5 VZORČNO-ZADRŽEVALNO VEZJE (S/H)

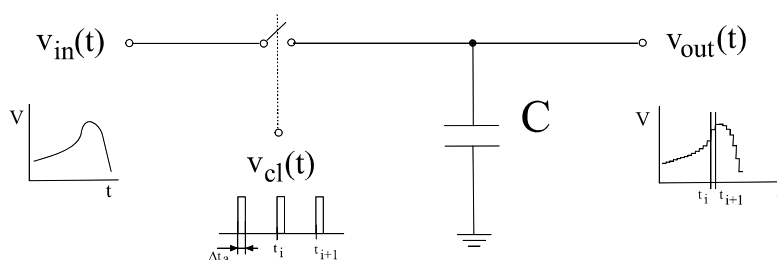
6.5.1 UVOD

Vzorčno-zadrževalno vezje (Sample&Hold Circuit) ali kratko S/H vzdržuje na svojem izhodu v določenem časovnem intervalu konstantno vrednost vhodnega analognega (zveznega) signala, običajno kar začetno vrednost na danem časovnem intervalu. Nato preskoči vrednost na izhodu S/H v naslednjem časovnem intervalu na novo konstantno vrednost itd.

S/H torej "razseka" analogen (zvezen) vhodni signal v diskretiziran (stopničast) izhodni signal, kot je bilo prikazano na Sl 6.4.

6.5.2 OSNOVNO VEZJE

Osnovno shemo S/H prikazuje Sl 6.5. V osnovi je S/H vezje sestavljeno le iz dveh elementov: stikalo, kondenzator.

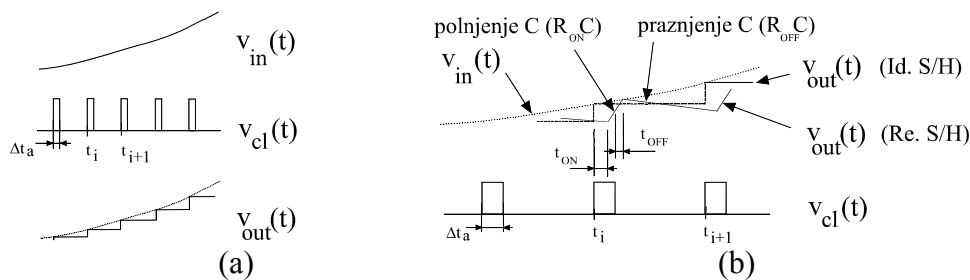


Sl 6.5 Osnovna shema S/H vezja: stikalo, kondenzator

Stikalo (Switch) S je običajno neko tranzistorsko stikalo, ki ga odpiramo in zapiramo z nekim urnim (clock) signalom $v_{cl}(t)$.

Analiza delovanja:

Ko se stikalo S sklene, npr. v trenutku t_i , se kondenzator C nabije na trenutno vrednost vhodnega signala $v_{in}(t_i)$. Nato se po kratkem času odprtja (aperture) Δt_a stikalo S razklene in na izhodu se vzdržuje konstantna napetost $v_{out}(t) = v_{in}(t_i)$, do naslednjega vzorčenja v času t_{i+1} , ko se zgodba ponavlja, kot prikazuje Sl 6.6a.

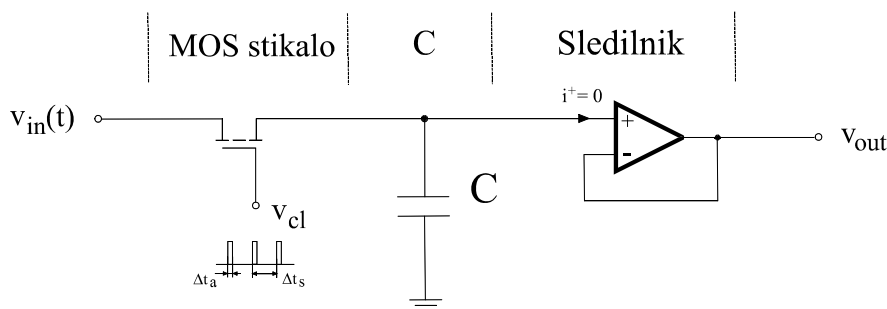


SI 6.6 Prikaz signalov pri vzorčenju(a) in popačenju izhodnega signala(b)

Obstojajo različne izvedbe S/H vezij. Tu si bomo ogledali izvedbo S/H s sledilnikom.

6.5.3 S/H S SLEDILNIKOM

Vezje lahko razdelimo v tri osnovne dele: MOS tranzistorsko stikalo (Switch) S, kondenzator C in sledilnik, izveden z opampom(SI 6.7).



SI 6.7 S/H s sledilnikom

Sledilnik je bil obravnavan v pogl.V. Sledilnik signalov ne preoblikuje ($A_v = v_{out}/v_{in} = 1$ oz. $v_{out} = v_{in}$), pač pa v tem primeru poskrbi, da se kondenzator C ne prazni na izhodu ($Z_{in} = 0$ oz. $i^+ = 0$).

Stikalo mora za dobro delovanje S/H izpolnjevati določene zahteve. Najprej pogledajmo zahteve za idealno stikalo:

- zakasnitve vklopa in izklopa: $t_{ON} = t_{OFF} = 0$
- upornosti vklopljenega in izklopljenega stikala: $R_{ON} = 0$, $R_{OFF} = \infty$

Resnično stikalo se temu le bolj ali manj približa, posledica je popačitev izhodnega signala.

Tudi kondenzator mora izpolnjevati določene zahteve. Zahteve za primeren kondenzator so naslednje:

- kondenzator mora biti dovolj velik, da se v času vzorčenja $\Delta t_s = t_{i+1} - t_i$ ne izprazni v opazni meri skozi zaprto stikalo (skozi R_{OFF}) ali proti izhodu (odtekanje toka i^+).
- kondenzator mora biti po drugi strani dovolj majhen, da se v času odprtja Δt_a hitro nabije na vrednost vhodnega signala (skozi R_{ON}). V času nabijanja kondenzator C deluje z R_{ON} stikala pravzaprav kot LP filter, s kritično frekvenco $f_c = 1/R_{ON}C$. Za prepustnost hitrih signalov mora torej biti f_c oz. produkt $R_{ON}C$ dovolj majhen. Ta zahteva predstavlja enega od osnovnih kriterijev pri načrtovanju S/H.

Popačitev izhodnih signalov S/H vezja kot posledico opisanih neidealnih elementov v S/H vezju prikazuje Sl 6.6b.

6.6 DIGITALNO-ANALOGNI PRETVORNIKI (DAC)

6.6.1 UVOD

Digitalno-analogni pretvornik (Digital-to-Analog Converter, DAC) je vezje, ki prejme vhodni signal v digitalni obliki in ga pretvori v ustrezen izhoden analogen signal (Sl 6.8). Vhodni digitalni signal je običajno v binarni obliki (npr. 1101 itd.), izhodni signal pa je običajen analogen signal, največkrat neka napetost.



Sl 6.8 DAC - osnovno delovanje

Obstojata dve vrsti DAC-jev, glede na značaj izhodnega analognega signala:

- unipolarni DAC: izhodni analogni signal se spreminja od ničelne do neke maksimalne vrednosti
- bipolarni DAC: izhodni analogni signal se spreminja od neke maksimalne negativne do neke maksimalne pozitivne vrednosti

6.6.2 UNIPOLARNI DAC

6.6.2.1 Uvod

V tem primeru torej, kot je bilo omenjeno v uvodu, pri spremembi digitalnega vhoda od minimalne do maksimalne binarne vrednosti, izhodni analogni signal prehaja od ničelne do neke maksimalne pozitivne napetosti.

Unipolarni DAC torej pretvori minimalni vhod (vsi $b=0$) v analogni izhod $0V$, maksimalni vhod (vsi $b=1$) pa v neko maksimalno pozitivno napetost. Vmes, pri poljubnih kombinacijah bitov v vhodni besedi, pa linearno pretvarja vhodne signale v izhodne vrednosti.

6.6.2.2 Zveza $v_{out}(v_{in})$, zapisana z ulomkom

Zvezo med izhodnim in vhodnim signalom $v_{out}(v_{in})$ lahko zapišemo kot produkt binarnega ulomka in neke referenčne napetosti

$$v_{out} = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{ref} \quad (6.14)$$

kjer je $b_1 b_2 \dots b_n$ (LSB) - vrednost vhodnega digitalnega signala in V_{ref} - referenčna napetost DAC. Pri tem je izraz v oklepaju v en(6.14) binarno decimalno število oz. ulomek, ki pripada vhodnemu signalu.

Preverimo, če en(6.14) pravilno podaja zvezo med vhomom in izhodom DAC-ja, za nekaj značilnih točk:

- pri minimalnem vhomu: $v_{inmin} = 000\dots$ (vsi $b = 0$) $\rightarrow v_{out} = 0V$, v redu!
- pri maksimalnem vhomu: $v_{inmax} = 111\dots$ (vsi $b = 1$) in po en(6.14) sledi, ob upoštevanju izraza en(6.16) spodaj,

$$\begin{aligned} v_{out} &= (2^{-1} + 2^{-2} + \dots + 2^{-n}) V_{ref} \\ &= (2^{n-1} + 2^{n-2} + \dots + 2^0) \frac{V_{ref}}{2^n} \\ &= (2^n - 1) \frac{V_{ref}}{2^n} \\ &= V_{ref} - \Delta V_{min} \end{aligned} \quad (6.15)$$

kjer je $\Delta V_{min} = V_{ref}/2^n$ minimalna sprememba izhoda DAC pri najmanjši spremembi na vhomu, torej za 1bit(LSB). Kot bomo videli kasneje, imenujemo ΔV_{min} tudi ločljivost DAC. Z naraščajočo dolžino besede n gre ΔV_{min} naglo proti nič.

V vmesnih točkah vhodnega intervala $[v_{inmin}, v_{inmax}]$, torej za neko poljubno kombinacijo vhodnih bitov $b_1 \dots b_n$, dobimo linearno zvezo med vhomom in izhodom. En(6.14) podaja torej pravilno odvisnost izhoda od vhomu.

Pri izpeljavi izraza (6.15) smo uporabili izraz za potenčno vrsto

$$2^{n-1} + 2^{n-2} + \dots + 2 + 1 = 2^n - 1 \quad (6.16)$$

Asimetrija unipolarnega DAC:

Unipolarni DAC torej vhodni signal iz intervala $[v_{inmin}, v_{inmax}]$ preslika v izhodni signal na intervalu $[0V, V_{ref} - \Delta V_{min}]$ in ne, kot bi pričakovali, do $+V_{ref}$. To značilnost imenujemo asimetrija DAC.

Torej je pri unipolarnem DAC maksimalna izhodna vrednost vedno enaka referenčni napetosti, zmanjšani za ΔV_{min} ! Res pa drži, da je ΔV_{min} običajno majhen in naglo upada proti 0 z naraščajočo dolžino besede n !

Primer: Določi izhod v_{out} pri 8-bitnem DAC z $V_{ref} = 5V$, kadar je na vhodu vrednost $v_{in} = 10100111$ (LSB)!

Reševanje: V skladu z en(6.14) velja

$$\begin{aligned} v_{out} &= (1 \times 2^{-1} + 1 \times 2^{-3} + 1 \times 2^{-6} + 1 \times 2^{-7} + 1 \times 2^{-8}) \times 5V \\ &= (0.65234375) \times 5V = \underline{3.26171875V} \end{aligned} \quad (6.17)$$

6.6.2.3 Zveza $v_{out}(v_{in})$, zapisana s celim številom

Zvezo med izhodom in vhodom $v_{out}(v_{in})$ lahko namesto z decimalnim ulomkom zapišemo tudi s celim številom, če v en(6.14) izpostavimo 2^{-n}

$$\begin{aligned} v_{out} &= \frac{b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n 2^0}{2^n} V_{ref} \\ &= \frac{N_{10}}{2^n} V_{ref} \end{aligned} \quad (6.18)$$

kjer je $N_{10} = b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n$ celo število v dekadnem sistemu, ki ustreza vhodnemu binarnemu številu $b_1 b_2 \dots b_n$.

Primer: Na 8-bitnem DAC z $V_{ref} = 5V$ je na vhodu signal - binarna beseda z vrednostjo 10100111. Določi vrednost analognega izhodnega signala $v_{out}[V]$!

Reševanje: Najprej določimo vrednost pripadajočega vhodnega celega števila N_{10} , na osnovi 8-bitnega binarnega vhodnega števila $N_2 = 10100111$

$$N_{10} = 1 \times 2^7 + 0 \times 2^6 + \dots + 1 \times 2^1 + 1 \times 2^0 = 167_{10}$$

V skladu z en(6.18) velja

$$v_{out} = \frac{N_{10}}{2^n} V_{ref} = \frac{167}{2^8} \times 5V = \underline{3.2617V}$$

Rezultat je seveda enak kot v prejšnjem primeru.

6.6.3 BIPOLARNI DAC

6.6.3.1 Uvod

V tem primeru pri spremembi digitalnega vhoda od minimalne do maksimalne binarne vrednosti 00..0 - 11..1 izhodni analogni signal prehaja od neke maksimalne negativne napetosti, preko nič, do neke maksimalne pozitivne napetosti.

Bipolarni DAC je običajno izveden enostavno iz unipolarnega s tem, da premaknemo izhodne nivoje za $V_{ref}/2$ navzdol!

6.6.3.2 Zveza $v_{out}(v_{in})$, zapisana s celim številom

Zveza med izhodnim in vhodnim signalom $v_{out}(v_{in})$ pri bipolarnem DAC je torej določena na podoben način kot pri unipolarnem DAC, le da imamo tu premik izhodnih nivojev za $-V_{ref}/2$

$$\begin{aligned} v_{out} &= \frac{N_{10}}{2^n} V_{ref} - \frac{1}{2} V_{ref} \\ &= \left(\frac{N_{10}}{2^n} - \frac{1}{2} \right) V_{ref} \end{aligned} \quad (6.19)$$

Preverimo, ce en(6.19) podaja smiselno zvezo med vhomom in izhodom za bipolarni DAC, za nekaj značilnih točk:

- pri minimalnem vhomu: $v_{inmin} = 000\dots$ (vsi $b = 0$) $\rightarrow N_{10} = 0$,
 $v_{outmin} = -1/2 V_{ref}$, v redu!
- pri maksimalnem vhomu: $v_{inmax} = 111\dots$ (vsi $b = 1$), ob upoštevanju izraza za vrsto, en(6.16), je pripadajoče celo število

$$N_{10max} = 1 \times 2^{n-1} + 1 \times 2^{n-2} + \dots + 1 \times 2 + 1 = 2^n - 1$$

Ob upoštevanju en(6.19) je maksimalna vrednost izhoda v_{outmax}

$$v_{outmax} = \left(\frac{2^n - 1}{2^n} - \frac{1}{2} \right) V_{ref} = \frac{1}{2} V_{ref} - \Delta V_{min} \quad (6.20)$$

kjer je ΔV_{min} najmanjši korak DAC, kot prej podan z izrazom $\Delta V_{min} = V_{ref}/2^n$.

Asimetrija bipolarnega DAC:

Bipolarni DAC torej vhodni signal iz intervala $[v_{inmin}, v_{inmax}]$ preslika v izhodni signal na intervalu $[-1/2 V_{ref}, +1/2 V_{ref} - \Delta V_{min}]$, kar imenujemo asimetrija DAC.

Torej, podobno kot pri unipolarnem DAC, je tudi pri bipolarnem DAC maksimalna izhodna vrednost enaka referenčni napetosti, zmanjšani za ΔV_{min} ! Res pa drži, da je ΔV_{min} običajno majhen in naglo upada proti 0 z naraščajočo dolžino besede n !

6.6.4 LOČLJIVOST DAC

Definicija: Ločljivost DAC je najmanjši interval izhodne napetosti ΔV_{min} , ki jo se razloči dani DAC!

Kot smo videli, npr. uniplarni DAC z n -bitno besedo na vhodu razdeli območje V_{ref} na 2^n delov. Najmanjši del, ki ga se razloči DAC, oz. najmanjša sprememba izhoda, kar imenujemo ločljivost, je torej $V_{ref}/2^n$.

Ločljivost DAC ΔV_{min} je torej podana z izrazom

$$\Delta V_{min} = \frac{V_{ref}}{2^n} \quad (6.21)$$

Ker predstavlja ločljivost ΔV_{min} obenem tudi najmanjšo spremembo izhodnega analognega signala pri najmanjši možni spremembi vhoda, torej spremembi za 1 bit(LSB), ločljivost običajno podajamo v enoti [V/bit].

Primer: Določi ločljivost pri 5-bitnem in pri 10-bitnem DAC z referenčno napetostjo 10V!

Reševanje: Ločljivost določimo s pomočjo en(6.21). Pri 5-bitnem oz. 10-bitnem DAC je torej

$$\begin{aligned} \Delta V_{min} (5 - bitni) &= \frac{V_{ref}}{2^n} = \frac{10V}{32} = \underline{0.3125V / bit} \\ \Delta V_{min} (10 - bitni) &= \frac{V_{ref}}{2^n} = \frac{10V}{1024} = \underline{0.0009766V / bit} \end{aligned}$$

Običajno srečamo v praksi obraten primer: podana je potrebna ločljivost in moramo izbrati ustrezen DAC s primerno dolžino besede!

Primer: Določi, koliko bitni DAC potrebujemo, če naj bo ločljivost enaka ali manjša(boljša) od 0.04V/bit. Referenčna napetost je 10V!

Reševanje: Potrebno dolžino besede n iskanega DAC izrazimo iz en(6.21)

$$\begin{aligned}
 n &= \frac{1}{\ln 2} \ln \frac{V_{ref}}{\Delta V_{min}} \\
 &= \frac{1}{\ln 2} \ln \frac{10}{0.04} = 7.966 \rightarrow \underline{8-bitni} !
 \end{aligned}
 \tag{6.22}$$

Izbrali bomo torej 8-bitni DAC. S tem bo ločljivost celo nekaj boljša od predpisane, o čemer se lahko prepričamo, če izračunamo za kontrolo: $\Delta V_{min}(8\text{-bitni}) = \dots = 0.03901\text{V/bit} < 0.04\text{V/bit} !$

6.6.5 IZVEDBE DAC-JEV

Obstojajo različne izvedbe DAC-jev. Največkrat gre za operacijski ojačevalnik (opamp), ki ima na vhodu neko uteženo uporovno lestvico.

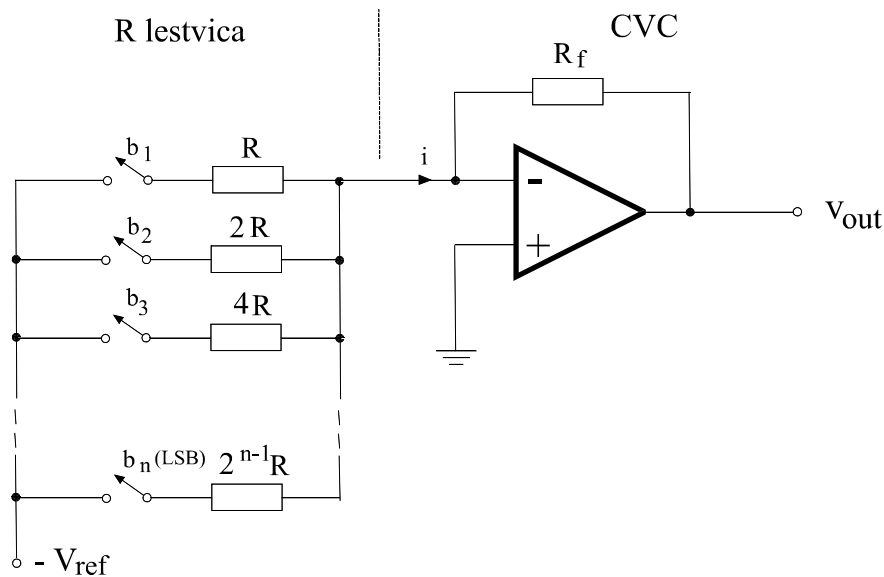
6.6.5.1 DAC z binarno uteženo uporovno lestvico

Uvod

V tem primeru deluje opamp kot tokovno-napetostni pretvornik (CVC), ali tudi kot seštevalni ojačevalnik, ki ima na vhodu binarno uteženo uporovno lestvico (Sl 6.9). Vhodno n-bitno binarno besedo, ki jo zapišemo v obliki $b_1b_2\dots b_n(\text{LSB})$, pripeljemo na vhode - v tem primeru na krmilne elektrode tranzistorskih stikal. Tranzistorska stikala imajo lastnost:

- $b = 0$ ---> stikalo je odprto (razklenjeni kontakti, enako kot na sliki)
- $b = 1$ ---> stikalo je zaprto (sklenjeni kontakti, obratno kot na sliki)

Kot smo videli, ima CVC lastnost: $v_{out} = -i R_f$.



SI 6.9 DAC z binarno uteženo uporovno lestvico

Analiza delovanja:

Če so vsi $b = 0$: položaj stikal kot na SI 6.9 $\rightarrow i = 0$ in $v_{out} = -i R_f = 0$

Če je npr. $b_n(\text{LSB}) = 1$: stikalo pri b_n preklopi \rightarrow Ob upoštevanju pravil I, II velja $i = -V_{ref}/2^{n-1}R$ in $v_{out} = -i R_f = +(V_{ref}/2^{n-1})(R_f/R)$

Če je npr. $b_{n-1} = 1$: stikalo pri b_{n-1} preklopi \rightarrow Ob upoštevanju pravil I, II velja $i = -V_{ref}/2^{n-2}R$ in $v_{out} = -i R_f = +(V_{ref}/2^{n-2})(R_f/R)$

.....

Če je npr. $b_1 = 1$: stikalo pri b_1 preklopi \rightarrow Ob upoštevanju pravil I, II velja $i = -V_{ref}/2^0R$ in $v_{out} = -i R_f = +(V_{ref}/2^0)(R_f/R)$

V splošnem primeru, ko je vhodna beseda $b_1b_2\dots b_n$ sestavljena iz poljubne kombinacije števil 0 in 1, uporabimo princip superpozicije (vezje je linearno) in dobimo

$$v_{out} = (b_1 + \frac{1}{2}b_2 + \frac{1}{2^2}b_3 + \dots + \frac{1}{2^{n-1}}b_n) \frac{R_f}{R} V_{ref} \quad (6.23)$$

Komentar: V tem primeru je torej izhod se utežen z razmerjem R_f/R , kar omogoča enostavno nastavitve maksimalne vrednosti izhoda z upornostjo R_f .

Prednosti: relativno majhno število uporov, nastavljanje maksimalnega izhoda z R_f

Slabosti: upori lestvice so med seboj različni, kar zlasti pri velikem n povzroča težave. Npr. za $n = 12$ (12-bitni DAC) se upori v lestvici razlikujejo med seboj za faktor ~ 2000 , kar je s primerno natančnostjo tehnološko težko izvedljivo.

DAC z binarno uteženo uporovno lestvico je torej primeren za realizacijo relativno hitrih vendar ne preveč natančnih (majhen n) DAC-jev.

6.6.5.2 DAC z R-2R uporovno lestvico

Uvod

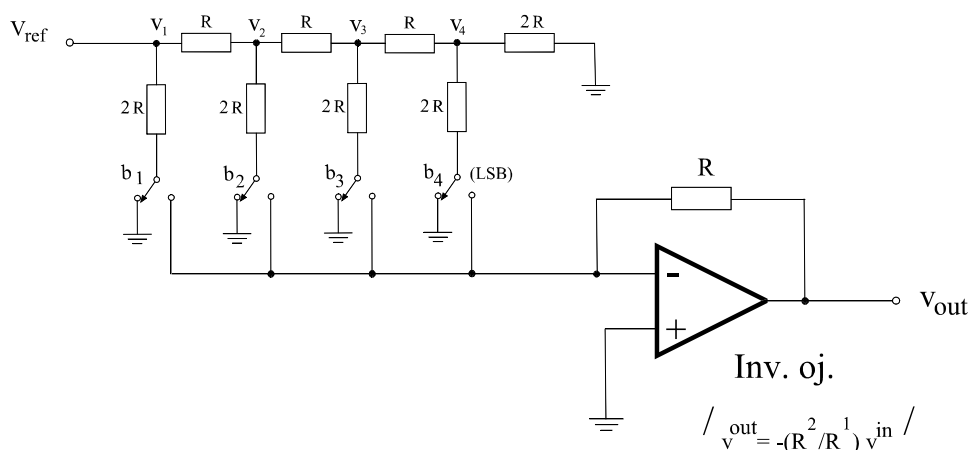
Ta izvedba odpravi omenjeno težavo glede raznolikosti uporov prejšnjega vezja, saj potrebujemo v tem primeru le dva različna upora: R in $2R$. Tehnološko je to relativno enostavno, poceni in natančno izvedljivo, se zlasti, ker je točnost vezja odvisna le od razmerja obeh uporov in ne od absolutnih vrednosti.

V tem primeru je osnovni del DAC vezje opamp, ki deluje kot invertirajoči ojačevalnik. Ta ojačevalnik ima uteženo ojačanje, za vsako binarno mesto posebej, z vhodno uporovno R-2R lestvico. Možna je tudi obravnava tega vezja kot seštevalni ojačevalnik.

Analiza delovanja

Kot primer si bomo ogledali 4-bitni DAC z z R-2R uporovno lestvico (SI 6.10). Na vhodu imamo torej v tem primeru 4-bitno besedo $b_1b_2b_3b_4$ (LSB). Tranzistorska stikala imajo lastnost:

- $b = 0$ ---> stikalo je v položaju levo (na maso, enako kot na sliki)
 $b = 1$ ---> stikalo preklopi v položaj desno (obratno kot na sliki)



SI 6.10 DAC z R-2R uporovno lestvico

Če so npr. vsi $b = 0$ ---> položaj stikal je tedaj tak kot na sliki, vsi vhodi so v zraku, upornost na vhodu je velika ($R_1 = \infty$) in $v_{out} = 0$ (OK!).

Če je npr. b_4 (LSB) = 1 ---> analiza s pomočjo napetostnih delilnikov za notranje napetosti v_1, \dots, v_4 pokaže: $v_{out} = -V_{ref}/2^4$.

Podobno ugotovimo: Če je $b_3 = 1$ ---> $v_{out} = -V_{ref}/2^3$ itd.

Pri poljubni digitalni besedi na vhodu $b_1b_2b_3b_4$ (LSB) lahko zaradi linearnega vezja uporabimo princip superpozicije in dobimo zvezo med izhodom in vhodom v obliki

$$v_{out} = -\left(b_1 \frac{1}{2^1} + b_2 \frac{1}{2^2} + b_3 \frac{1}{2^3} + b_4 \frac{1}{2^4}\right) V_{ref} \quad (6.24)$$

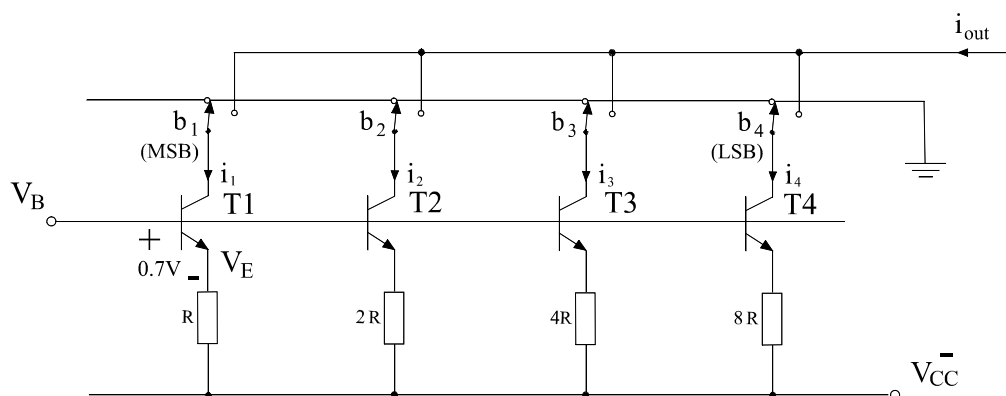
Obravnavano DAC vezje torej v redu opravlja svojo funkcijo, saj je dobljeni izraz en(6.24) v skladu z osnovno enačbo DAC-ja, en(6.14).

6.6.5.3 DAC s skaliranimi tokovnimi izvori

Uvod

Opamp iz prejšnjega primera, ki dela kot CVC, je običajno najpočasnejši del DAC vezja in omejuje njegovo hitrost pretvorbe. V določenih primerih obstoja hitrejša in cenejša možnost: kadar je izhod DAC-ja lahko v tokovni obliki, se izplača sestaviti izhodni tok iz skaliranih tokovnih izvorov. Včasih se celo izplača, če ta izhodni tok z nekim CVC pretvorimo v izhodno napetost.

Kot primer si bomo ogledali 4-bitni DAC s skaliranimi tokovnimi izvori, ki so izvedeni npr. z bipolarnimi tranzistorji s skaliranimi emitorskimi upori(Sl 6.11).



SI 6.11 DAC s skaliranimi tokovnimi izvori

Analiza delovanja

Tranzistorska stikala, ki so kontrolirana s stanjem pripadajočega bita b , imajo tu lastnost:

- $b = 0$ ---> stikalo je v položaju navzgor (na maso, enako kot na sliki)
- $b = 1$ ---> stikalo preklopi v položaj desno (obratno kot na sliki)

Prevodna konstantna napetost V_B povzroči, da tranzistorji stalno prevajajo. Toki tranzistorjev stalno tečejo in so le, odvisno od stanja stikal oz. ustreznih bitov b , preklapljeni ali na maso ali na izhod (i_{out}). Zato so ta vezja hitra, saj je čas za preklop stikala mnogo manjši od vklopnih in izklopnih časov tokovnih generatorjev, v tem primeru bipolarnih tranzistorjev. Ker toki stalno tečejo, je seveda slaba posledica velika poraba moči.

Napetost na bazi V_B je (Sl 6.11) torej vedno višja od napetosti na emitorju V_E za napetost na prevodno polarizirani emitorsko-bazni diodi, tipično okrog 0.7V

$$V_B = V_E + 0.7V \quad (6.25)$$

Poglejmo sedaj, kakšen je vpliv položaja vhodnih bitov na izhod DAC:

Če so npr. vsi biti $b = 0$ ---> Tedaj so vsa stikala v položaju, kot prikazuje Sl 6.11 in je zato $i_{out} = 0$. Torej, pri ničelnem vhodu na DAC dobimo ničelni izhod, kar je v redu.

Če je npr. bit $b_4(\text{LSB}) = 1$ ---> Tedaj stikalo bita b_4 preklopi na desno in je izhodni tok i_{out} podan z izrazom

$$i_{out} = \frac{V_E}{8R} = \frac{V_E - 0.7V}{8R} \quad (6.26)$$

Podoben rezultat dobimo tudi za ostale bite b_3 , b_2 , $b_1(\text{MSB})$, le da toki zaradi skaliranih emitorskih upornosti skalirano rastejo (faktorji 4, 2, 1 v imenovalcu), kar je v redu.

V splošnem, pri poljubni kombinaciji bitov $b_1b_2b_3b_4(\text{LSB})$ na vhodu, lahko zaradi linearnih vezij uporabimo princip superpozicije in je tedaj izhodni tok vsota prispevkov tistih bitov, ki imajo vrednost 1, kar je v skladu z osnovno enačbo DAC-ja en(6.14).

Namesto skaliranih emitorskih upornosti je tudi tu možna izvedba z R-2R lestvico.

Prednosti: relativno malo elementov, hitri

Slabosti: relativno velika poraba moči

6.6.6 OSNOVNI PODATKI DAC

Osnovni podatki nas opozorijo, na kaj moramo pri izbiri DAC-ja paziti, da bo uspešno odigral pričakovano vlogo. Razumevanje in primerjava osnovnih podatkov med različnimi DAC-ji omogoči optimalno odločitev med različnimi proizvajalci.

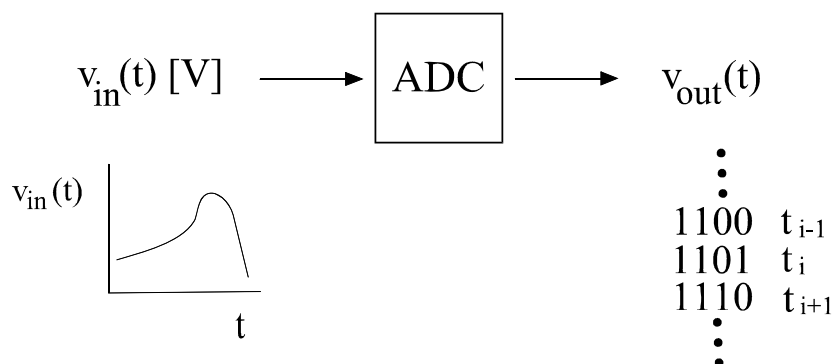
- 1) Vhodne lastnosti: kakšne so zahteve glede vhodnih signalov - ali dela (compatible) za digitalne vhodne signale tipa CMOS, TTL, itd.
- 2) Izhodne lastnosti: kakšne so zahteve glede izhodnih signalov - katero veličino potrebujemo na izhodu (napetostni, tokovni, frekvenčni itd. izhod) ter v kakšnem obsegu (range)
- 3) Referenca: velikost zahtevane referenčne napetosti V_{ref} , ali je vgrajena (internal) ali jo moramo dodati sami (external)
- 4) Ločljivost (Resolution): včasih imenovana tudi natančnost (Precision), je določena s številom bitov oz. dolžino besede n ($\Delta V_{min} = V_{ref}/2^n$)
- 5) Točnost (Accuracy): podaja, kako se delovanje resničnega DAC približa delovanju idealnega DAC, zaradi raznih napak pri izdelavi (npr. tolerance uporov v lestvici R-2R, tolerance skaliranih uporov itd.). Včasih proizvajalci podajo celo zahteve za trimanje npr. z dodatkom zunanjih uporov itd.

- 6) Hitrost: je določena s časom pretvorbe in podaja, kako hitre vhodne digitalne signale se zmore dani DAC oz. ali bo zadoščalo za dano aplikacijo
- 7) Napajanje: zahteve glede napajalnih napetosti (ena ali več, polaritete)
- 8) Poraba moči: poraba moči oz. segrevanje je lahko, odvisno od tipa in tehnologije, velika ali majhna (Low-Power izvedbe)
- 9) Ohišje: kateri tip ohišja je na razpolago (DIP itd.)
- 10) Cena: kaj je sprejemljivo, je odvisno od dane aplikacije

6.7 ANALOGNO-DIGITALNI PRETVORNIKI (ADC)

6.7.1 UVOD

Analogni-digitalni pretvornik (Analog-to-Digital Converter, ADC) je vezje, ki prejme vhodni signal v analogni obliki in ga pretvori v ustrezen izhoden digitalen signal (SI 6.12). Vhodni signal je običajen časovno odvisen, zvezen analogen signal, izhodni signal pa je digitalni signal, sestavljen iz časovnega zaporedja binarnih števil.



SI 6.12 ADC - osnovno delovanje

Tudi tu obstojata, podobno kot pri DAC, dva tipa ADC-jev, v tem primeru glede na značaj vhodnega analognega signala:

- unipolarni DAC: vhodni analogni signal se spreminja od ničelne do neke maksimalne vrednosti
- bipolarni DAC: vhodni analogni signal se spreminja od neke maksimalne negativne do neke maksimalne pozitivne vrednosti

6.7.2 UNIPOLARNI ADC

6.7.2.1 Uvod

V tem primeru se vhodni analogni signal spreminja od ničelne vrednosti do neke maksimalne pozitivne vrednosti, pri tem gre digitalni izhod od 0 do maksimalne vrednosti.

6.7.2.2 Zveza $v_{out}(v_{in})$, zapisana z ulomkom

Zveza med izhodnim in vhodnim signalom $v_{out}(v_{in})$ je tu podana v obliki izhodnega binarnega ulomka oz. decimalnega (necelega) števila, manjšega ali enakega 1, ki ustreza vhodni napetosti, deljeni (normalizirani) z referenčno napetostjo

$$b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} (LSB) \cong \frac{v_{in}}{V_{ref}} \quad (6.27)$$

kjer je v_{in} - vrednost vhodnega signala oz. napetost na vhodu ADC, V_{ref} - referenčna napetost ADC in $b_1 b_2 \dots b_n (LSB)$ - n-bitni digitalni izhod ADC oz. desni strani en(6.27) pripadajoči n-bitni binarni ulomek.

Ker mora biti ulomek oz. decimalno število v en(6.27) za vsak v_{in} manjše ali enako 1, moramo izbrati referenčno napetost v skladu s pogojem: $V_{ref} \geq v_{in \max}$.

Omenimo, da en(6.27) oz. pretvorba ADC velja le približno zato, ker se desna stran spreminja zvezno medtem ko se leva stran spreminja v skokih po 1 bit(LSB). O tej napaki ADC pretvorbe, ki je običajno zanemarljiva, bo več govora kasneje pri ločljivosti ADC.

Kontrola en(6.27):

ničelni vhod: $v_{in} = 0$ ---> po en(6.27) torej vsi $b = 0$ in zato ničelni izhod 00...0 (v redu!)

maksimalni vhod: $v_{in} \sim V_{ref}$ ---> desna stran en(6.27) torej ~ 1 , zato vsi $b = 1$ in torej maksimalni izhod 11...1 (v redu!)

Vmes, med temi ekstremnimi točkami, podobno ugotovimo, da se izhod linearno povečuje z naraščanjem vhoda. En(6.27) daje torej smiselno zvezo med vhodom in izhodom ADC.

Primer: Določi vrednost izhoda na 5-bitnem ADC z referenčno napetostjo $V_{ref} = 5V$, če je na vhodu analogni signal z vrednostjo 3.127V !

Reševanje: Zvezo med vhodom in izhodom pri 5-bitnem ADC zapišemo v skladu z en(6.27) v obliki

$$b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + b_4 2^{-4} + b_5 2^{-5} (LSB) = \frac{v_{in}}{V_{ref}} = \underline{0.6254}_{10}$$

Izhod je torej v tem primeru decimalno število 0.6254_{10} (v desetiškem sistemu), podano na izhodu ADC-ja v binarnem sistemu $b_1b_2b_3b_4b_5$. Potrebno je torej se določiti ustrezne bite $b_1 - b_5$ za desetiško decimalno število 0.6254 , kar izvedemo z metodo zaporednih množenj z 2. pri tem upoštevamo, da pri zmnožku $> (<) 1$ dobi ustrezni bit vrednost $b = 1 (0)$:

$$\begin{aligned} 0.6254 \times 2 &= 1.2508 > 1 \rightarrow b_1 = 1, \text{ostanek: } 0.2508 \\ 0.2508 \times 2 &= 0.5016 < 1 \rightarrow b_2 = 0, \text{ostanek: } 0.5016 \\ 0.5016 \times 2 &= 1.0032 > 1 \rightarrow b_3 = 1, \text{ostanek: } 0.0032 \\ 0.0032 \times 2 &= 0.0064 < 1 \rightarrow b_4 = 0, \text{ostanek: } 0.0064 \\ 0.0064 \times 2 &= 0.0128 < 1 \rightarrow b_5 = 0, \text{ostanek: } 0.0128 \end{aligned}$$

Postopek je končan – določen je zadnji, 5.bit!

Torej, pri vhodu $3.127V$ je na izhodu 5-bitnega ADC vrednost $10100(\text{LSB})$.

Preizkus: dobljenemu rezultatu pripadajoči ulomek je $0.10100_2 = 1 \cdot 2^{-1} + 1 \cdot 2^{-3} = 0.5 + 0.125 = 0.6250$, kar dovolj dobro ustreza začetnemu ulomku (0.6254) oz. vhodnemu signalu ($0.6250 \cdot 5V = 3.125V$). Razlika na zadnjem mestu se pojavi zaradi omenjene napake ADC pretvorbe.

6.7.2.3 Zveza $v_{out}(v_{in})$, zapisana s celim številom

Zveza med vhomom in izhodom ADC je lahko podana tudi v obliki s celim številom. Vrednost vhoda v tem primeru podajamo s številom stanj v dani vrednosti vhodnega signala v_{in} , pri znani vrednosti razlike dveh sosednjih stanj.

Ker ima n -bitni ADC 2^n različnih možnih kombinacij oz. stanj, maksimalni razpon vhodnega signala pa znaša od 0 do $\sim V_{ref}$, je razlika med dvema sosednjima stanjema enaka $\Delta V_{min} = V_{ref} / 2^n$ (podobno kot že pri DAC). V dani vrednosti vhodnega signala v_{in} je torej število stanj enostavno določeno z razmerjem $v_{in} / \Delta V_{min} = v_{in} / (V_{ref} / 2^n)$.

Izhod ADC-ja je torej v tem primeru podan kot celi del (integer function, Int) tega števila

$$N_{10} = \text{Int} \left(\frac{v_{in}}{V_{ref}} 2^n \right) \quad (6.28)$$

kjer je N_{10} - vrednost izhoda ADC oz. število stanj vhoda ($v_{in} / \Delta V_{min}$), zapisana v desetiškem sistemu. Za digitalni binarni izhod je treba to število torej se pretvoriti v binarni sistem.

Funkcija $\text{Int}(x)$ v en(6.28) enostavno opisano pomeni, da je treba vzeti prvo manjše celo število od vrednosti x , npr. $\text{Int}(3.15) = 3$, $\text{Int}(3.99) = 3$ (Pozor: ni zaokroževanja navzgor!).

Omenimo, da pridemo do enakega rezultata, en(6.28), tudi, če en(6.27) množimo z 2^n .

Primer: Določi vrednost izhoda na 5-bitnem ADC z referenčno napetostjo $V_{ref} = 5V$, če je na vhodu analogni signal z vrednostjo $3.127V$!
(Za kontrolo vzamemo kar prejšnji primer!)

Reševanje: Zvezo med vhodom in izhodom pri 5-bitnem ADC zapišemo sedaj v skladu z en(6.28) v obliki

$$N_{10} = \text{Int} \left(\frac{V_{in}}{V_{ref}} 2^n \right) = \text{Int} \left(\frac{3.127V}{5V} 2^5 \right) = \text{Int} (20.0128) = 20_{10}$$

Da dobimo binarni izhod ADC-ja, je treba rezultat se pretvoriti v binarni sistem

$$20_{10} = b_1 2^0 + b_2 2^1 + b_3 2^2 + b_4 2^3 + b_5 2^4 (MSB)$$

Postopek zacnemo z desne in prenasamo os tan ek :

$$\begin{aligned} &= 0 \times 2^0 + 0 \times 2^1 + 1 \times 2^2 + 0 \times 2^3 + 1 \times 2^4 (MSB) \\ &\quad \text{ost.0} \quad \text{ost.0} \quad \text{ost.0} \quad \text{ost.4} \quad \text{ost.4} \end{aligned}$$

Izhod ADC, ki ustreza vhodu $3.127V$, je torej 10100 (LSB), kar je enak rezultat kot v prejšnjem primeru.

6.7.2.4 Ločljivost ADC

Ločljivost (Resolution) ADC definiramo kot tisto najmanjšo spremembo vhodne napetosti ΔV_{min} , ki že povzroči minimalno spremembo izhodnega signala, torej za 1 bit (LSB)!

Če upoštevamo v en(6.27) spremembo izhoda za 1 bit(LSB), dobimo spremembo $2^{-n} = \Delta V_{min} / V_{ref}$ in je torej ločljivost ADC ΔV_{min} podana z izrazom

$$\Delta V_{min} = \frac{V_{ref}}{2^n} \quad (6.29)$$

V praksi srečamo pogosto obraten primer: potrebno je določiti, koliko biten (n) ADC potrebujemo za zahtevano ločljivost ADC ΔV_{min} , kar določimo z obratom en(6.29)

$$n = \frac{1}{\ln 2} \ln \frac{V_{ref}}{\Delta V_{min}} \quad (6.30)$$

Primer: Meritev temperature v področju $0 - 100^\circ C$ je izvedena z linearnim senzorjem z občutljivostjo $0.02mV/^\circ C$. Izhod senzorja pri $0^\circ C$ je $0mV$. Določi potrebno dolžino besede (n) in referenčno napetost ADC-ja V_{ref} , da bo ločljivost meritve $\Delta T_{min} = 0.1^\circ C$!

Reševanje: Pri maksimalnem vhodu senzorja $T = 100^\circ C$ ima tudi izhodni signal senzorja temperature v_{ST} maksimalno vrednost, ki je hkrati maksimalna vhodna vrednost ADC-ja

$$v_{ST \max} = S \Delta T = 0.02 \text{ V}/^\circ\text{C} \times 100^\circ\text{C} = 2\text{V} = v_{in \max}(\text{ADC})$$

Ker mora biti v skladu z komentarjem en(6.27) referenčna napetost enaka ali večja od maksimalnega vhoda ADC, izberemo npr. $V_{ref} = v_{in \max} = \underline{2\text{V}}$.

Zahtevana ločljivost meritve ΔT_{\min} pomeni, da mora biti izbrani ADC sposoben razločevati minimalne spremembe temperature oz. napetosti, oz. mora biti ločljivost ADC-ja ΔV_{\min} v tem primeru

$$\Delta V_{\min} = S \Delta T_{\min} = 0.02 \text{ V}/^\circ\text{C} \times 0.1^\circ\text{C} = 2\text{mV}$$

Po drugi strani je ločljivost ADC-ja povezana z dolžino besede n ADC-ja, en(6.30)

$$n = \frac{1}{\ln 2} \ln \frac{V_{ref}}{\Delta V_{\min}} = \frac{1}{0.693} \ln \frac{2\text{V}}{2\text{mV}} = \underline{9.968}$$

V tem primeru izberemo 10-bitni ADC ($n = 10$). Izbrani ADC bo celo malo natančnejši od zahtev (2mV), medtem ko bi 9-bitni ADC ne izpolnil predpisanih zahtev glede ločljivosti, o čemer se lahko hitro prepričamo po en(6.29):

$$\begin{aligned} n = 10: \quad \Delta V_{\min} &= \frac{V_{ref}}{2^n} = \frac{2\text{V}}{2^{10}} = 1.95\text{mV} \\ n = 9: \quad \Delta V_{\min} &= \frac{V_{ref}}{2^n} = \frac{2\text{V}}{2^9} = 3.90\text{mV} \end{aligned}$$

6.7.3 Bipolarni ADC

6.7.3.1 Uvod

V tem primeru se vhodni analogni signal spreminja od neke maksimalne negativne vrednosti, preko ničelne vrednosti do neke maksimalne pozitivne vrednosti, pri tem gre digitalni izhod od 0 do maksimalne vrednosti.

6.7.3.2 Zveza $v_{out}(v_{in})$, zapisana s celim številom

Bipolarni ADC najenostavneje dobimo iz unipolarnega ADC s tem, da v en(6.28) premaknemo digitalni izhod navzgor (v pozitivni smeri) za za pol obsega oz. $2^n / 2$.

Zveza med izhodnim in vhodnim signalom $v_{out}(v_{in})$ je tedaj podana v obliki

$$N_{10} = \text{Int} \left[\left(\frac{v_{in}}{V_{ref}} + \frac{1}{2} \right) 2^n \right] \quad (6.31)$$

Za kontrolo preverimo en(6.31) v nekaj karakterističnih točkah:

$$\begin{aligned} \text{min ima ln i vhod : } v_{in} &= -\frac{V_{ref}}{2} \rightarrow N_{10} = 0 \quad \text{oz. min. dig. izhod : } 00..0 \\ \text{srednji vhod : } v_{in} &= 0 \rightarrow N_{10} = 2^n / 2 \quad \text{oz. dig. izhod : } \text{sredina} \\ \text{maksima ln i vhod : } v_{in} &= +\frac{V_{ref}}{2} - \frac{V_{ref}}{2^n} \rightarrow N_{10} = 2^n \quad \text{oz. maks. dig. izhod : } 11..1 \end{aligned}$$

6.7.3.3 Asimetrija bipolarnega ADC

Kot zanimivost opazimo, da maksimalnemu izhodu bipolarnega ADC-ja 11..1 pripada maksimalni vhod v_{inmax} , ki ni enak $+V_{ref}/2$, temveč je ta vrednost zmanjšana za neko majhno napetost, po en(6.29) definirani kot ločljivost $\Delta V_{min} = V_{ref}/2^n$

$$v_{inmax} = +\frac{V_{ref}}{2} - \frac{V_{ref}}{2^n} = +\frac{V_{ref}}{2} - \Delta V_{min} \quad (6.32)$$

Temu pravimo tudi asimetrija bipolarnega ADC. Bipolarni ADC z referenčno napetostjo V_{ref} pokrije torej le naslednji interval vrednosti vhodnega analognega signala: od $-V_{ref}/2$ do $+V_{ref}/2 - \Delta V_{min}$! Res pa je običajno ΔV_{min} majhna, proti celotnemu intervalu majhna veličina.

Primer: Določi možna stanja pri 8-bitnem bipolarnem ADC-ju z referenčno napetostjo $V_{ref} = 10V$!

Reševanje: Najmanjša možna razlika napetosti med dvema sosednjima stanjema oz. ločljivost ΔV_{min} ADC-ja je določena kot obseg vhoda, deljenim s številom stanj, v skladu z en(6.29)

$$\Delta V_{min} = \frac{V_{ref}}{2^n} = \frac{10V}{2^8} = \underline{\underline{0.039V}}$$

Natančno gledano je torej pri $V_{ref} = 10V$ zaradi asimetrije obseg vhodnih signalov v tem primeru od $-5V$ do $+5V - 0.039V = 4.961V$.

Določimo nekaj značilnih točk oz. stanj. Pri tem vhodna stanja povečujemo za najmanjši možni korak, $\Delta V_{min} = 0.039V$. Torej,

$$\begin{aligned}
 v_{in} = -5V &\rightarrow N = \text{Int} \left[\left(\frac{v_{in}}{V_{ref}} + \frac{1}{2} \right) 2^n \right] \\
 &= \text{Int} \left[\left(\frac{-5V}{10V} + \frac{1}{2} \right) 2^8 \right] = 0_{10} = \underline{00000000}_2 \\
 v_{in} = -4.961V &\rightarrow N = \dots = \underline{00000001}_2 \\
 &\dots\dots\dots \\
 v_{in} = -0.039V &\rightarrow N = \dots = \underline{01111111}_2 \\
 v_{in} = 0V &\rightarrow N = \dots = \underline{10000000}_2 \\
 v_{in} = +0.039V &\rightarrow N = \dots = \underline{10000001}_2 \\
 &\dots\dots\dots \\
 v_{in} = +4.961V &\rightarrow N = \dots = \underline{11111111}_2 \quad (\text{Konec} - \text{vecjega stevila pri } n = 8 \text{ ni !})
 \end{aligned}$$

Zadnja vrstica potrdi tudi že prej ugotovljeno asimetrijo bipolarnega ADC-ja, en(6.32).

6.7.4 IZVEDBE ADC-JEV

Obstojajo različni principi delovanja ADC-jev:

- ADC z zaporednimi približki (Successive Approximations ADC)
- ADC z napetostno stopnico, enojno ali dvojno(Ramp ADC, single-slope ali dual-slope)
- vzporedni oz. bliskovni ADC (Parallel oz. Flash ADC)
- ADC s preklapljanimi kondenzatorji (Switched Capacitors ADC)
- Delta-Sigma ADC

in drugi...

6.7.4.1 ADC z zaporednimi približki

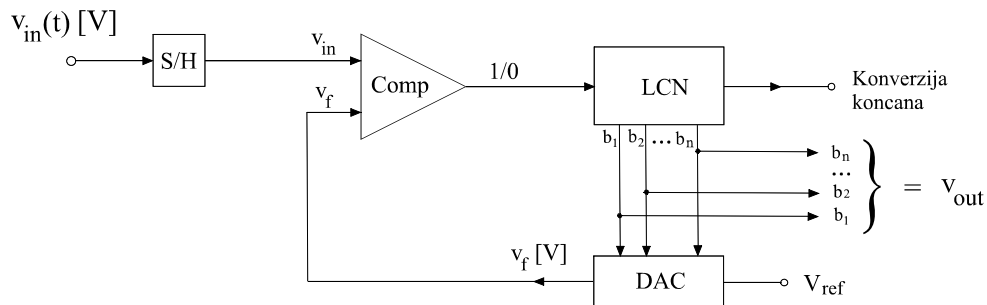
Uvod

ADC z zaporednimi približki (Successive Approximations ADC) je relativno hiter in poceni. Osnovna shema(Sl 6.13) je sestavljena iz vzorčno-zadrževalnega vezja (Sample&Hold, S/H) komparatorja (Comp), logično-števnega vezja(Logic Counting Network, LCN) in digitalno-analognega pretvornika(DAC).

Analiza delovanja

Komparator primerja vrednost vhoda v_{in} in izhoda DAC v povratni vezavi v_f . Kadar velja: $v_{in} > v_f$, je izhod komparatorja 1 in to je sporočilo za LCN, da poveča za 1 bit svoj izhod. S tem se poveča za en osnovni korak izhod DAC v_f . Komparator spet primerja v_{in} in v_f itd.

Zgodba se ponavlja, dokler komparator ne ugotovi: $v_{in} < v_f$. Tedaj postane izhod komparatorja 0 in to je sporočilo za LCN, da je dosežena velikost vhodnega signala oz. da je konverzija končana. Zadnja kombinacija bitov na izhodu LCN $b_1 b_2 \dots b_n$ podaja digitalni izhod ADC v_{out} za dano vrednost analognega vhodnega signala v_{in} .



SI 6.13 ADC z zaporednim približki

Obstojajo različne pod variante opisanega postopka. Primeren pristop je npr., če začnemo s povečevanjem od najpomembnejšega bita (MSB), saj je v tem primeru manj korakov oz. hitrejša konverzija kot če povečujemo po en najmanjši bit (LSB). Prikaz takega pristopa si oglejmo na enostavnem primeru!

Primer: Določi potek delovanja in izhod na 4-bitnem ADC-ju z zaporednimi približki pri analognem vhodnem signalu 3.127V! Referenčna napetost je 5V.

Reševanje: Zveza med v_{in} in v_{out} na DAC je, ob upoštevanju en(6.27), podana kot

$$v_{out}(DAC) = v_f \cong (b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + b_4 2^{-4}) V_{ref}$$

Postopek: na začetku LCN postavi vse bite na vrednost 0: $b_1(\text{MSB}) = b_2 = b_3 = b_4 = 0$. Nato LCN povečuje bite, začenši z najpomembnejšim bitom (MSB).

1) LCN postavi MSB bit $b_1 = 1$. DAC vhod pretvori v izhod $v_f = (1 \cdot 2^{-1})5V = 2.5V$.

Komparator nato primerja in ugotovi: $v_{in} > v_f$. Vhodni signal torej vsebuje ta bit kot 1, zato LCN fiksira $b_1 = 1$!

S tem je prvi bit določen in postopek se ponovi z naslednjim bitom, itd.:

2) LCN postavi naslednji bit $b_2 = 1$. DAC vhod pretvori v izhod $v_f = (1 \cdot 2^{-1} + 1 \cdot 2^{-2})5V = v_f + 1 \cdot 2^{-2} \cdot 5V = 3.750V$.

Pri tem zaradi hitrejšega izračuna vedno računamo samo novi, dodatni člen, vse ostalo pa označimo z v_f in odčitamo iz prejšnjega koraka.

Komparator nato primerja in ugotovi: $v_{in} < v_f$. Vhodni signal torej vsebuje ta bit kot 0, zato LCN fiksira $b_2 = 0$!

3) LCN postavi naslednji bit $b_3 = 1$. DAC vhod pretvori v izhod $v_f = v_f + 1 \cdot 2^{-3} \cdot 5V = 3.125V$.

Komparator nato primerja in ugotovi: $v_{in} > v_f$. Vhodni signal torej vsebuje ta bit kot 1, zato LCN fiksira $b_3 = 1$!

4) LCN postavi naslednji bit $b_4 = 1$. DAC vhod pretvori v izhod $v_f = v_f' + 1.2^{-4} \cdot 5V = 3.4375V$.

Komparator nato primerja in ugotovi: $v_{in} < v_f$. Vhodni signal torej vsebuje ta bit kot 0, zato LCN fiksira $\underline{b_4 = 0}$!

S tem je določen se zadnji, LSB bit in postopek je zaključen.

Izhod ADC-ja je torej tem primeru $b_1b_2b_3b_4(\text{LSB}) = \underline{1010(\text{LSB})}$!

Preizkus: izračunamo pripadajoči vhod ADC-ja $v_{in} = (1.2^{-1} + 1.2^{-3}) \cdot 5V = 3.125V$. To se ujema z začetnim podatkom (3.127V), majhna razlika na zadnjem mestu je napaka ADC pretvorbe. Omenimo se, da smo podoben primer obravnavali tudi pri unipolarnem ADC in prišli do enakega rezultata.

Hitrost konverzije ADC-ja z zaporednimi aproksimacijami

Obravnavo razdelimo v dva dela:

1) **Čas za določitev 1 bita T_1** : je v tem primeru določen s hitrostjo konverzije DAC-ja in LCN vezja. Tipičen podatek za T_1 , ki ga najdemo kot enega osnovnih podatkov v katalogih za ADC, je $T_1 = 0.1 - 5 \mu\text{s/bit}$. Prva vrednost velja tipično za hitrejša in dražja ADC (boljša in dražja tehnologija), medtem ko druga vrednost velja tipično za razred cenejših a počasnejših, enostavnejših ADC-jev.

2) **Čas za eno konverzijo T_{conv}** : je v tem primeru določen, zaradi zaporednega, ne paralelnega procesiranja, enostavno s številom bitov oz. dolžino besede danega ADC n in časom za določitev enega bita T_1

$$T_{conv} = n \times T_1 \quad (6.33)$$

V tem primeru je torej v splošnem natančnejši ADC tudi počasnejši! Zato tu izberemo kot optimalnega ADC z najmanjšim n , ki se zadošča za zahtevano ločljivost.

Primer: Določi čas konverzije za a) cenen 8-bitni in b) dražji 12-bitni ADC z zaporednimi aproksimacijami!

Reševanje:

a) V primeru cenene (v splošnem počasnega) ADC vzamemo kot tipičen čas za določitev 1 bita vrednost npr. $T_1 = 5 \mu\text{s/bit}$. Čas ene konverzije T_{conv} je torej

$$T_{conv} = n \times T_1 = 8\text{bit} \times 5\mu\text{s/bit} = \underline{40\mu\text{s}}$$

b) V primeru dražjega (v splošnem hitrejšega) ADC vzamemo kot tipičen čas za določitev 1 bita vrednost npr. $T_1 = 1 \mu\text{s/bit}$. Čas ene konverzije T_{conv} je torej

$$T_{conv} = n \times T_1 = 12\text{bit} \times 1\mu\text{s/bit} = \underline{12\mu\text{s}}$$

6.7.4.2 ADC s stopnico

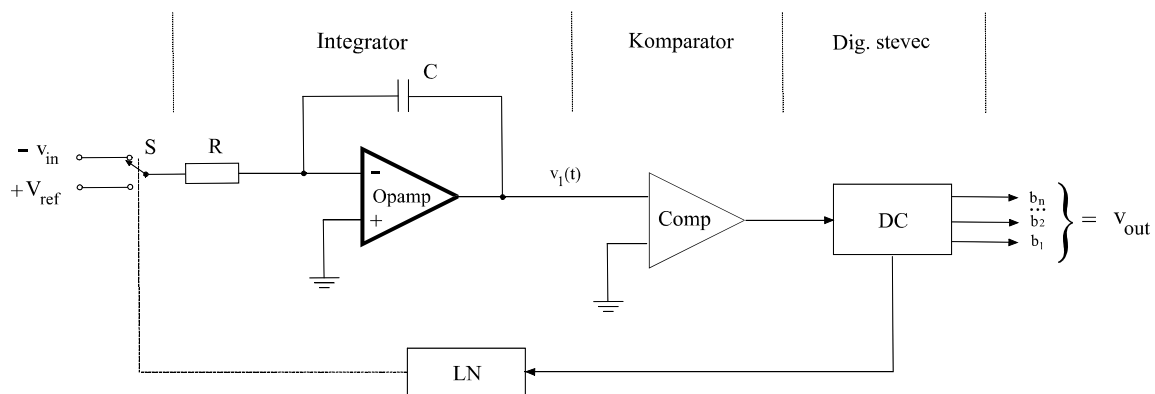
ADC s stopnico (Ramp ADC) primerja vhodni signal v_{in} z znano, linearno naraščajočo napetostno stopnico $v_{ref}(t)$, vse dokler ni izpolnjen pogoj: $v_{ref}(t) > v_{in}$ in je konverzija končana. Pri tem binarni števec ADC-ja šteje porabljene časovne korake Δt in tako določi porabljeni čas oz. število korakov. Pri znani strmini $v_{ref}(t)$ tako ADC določi vrednost vhodnega signala v_{in} . Digitalni izhod števca tedaj podaja število korakov oz. vrednost vhodnega signala ADC v_{in} v binarni obliki.

Obstaja več pristopov, ki temeljijo na opisanem principu. V nadaljevanju si bomo ogledali enega izmed pogostih pristopov.

6.7.4.3 ADC z dvojno stopnico

Uvod

ADC z dvojno stopnico (Dual Slope Ramp ADC) prikazuje SI 6.14.



SI 6.14 ADC z dvojno stopnico

Analiza delovanja

Določitev v_{in} : Na začetku vezje nastavi vrednost izhoda integratorja $v_1(0) = 0$. Nato napetost v_{in} deluje na integrator v fiksnem (vedno istem) času integratorja t_1 , ki ga nastavlja logično vezje (Logic Network) LN. Čas t_1 mora biti dovolj kratek, da se v_{in} ne spremeni oz. velja $v_{in} = \text{const}$, sicer moramo dodati še SH vezje. Na izhodu integratorja je v skladu z en(6.15) po času t_1 napetost V_1

$$V_1 = v_1(t_1) = v_1(0) + \frac{1}{RC} \int_0^{t_1} v_{in}(t) dt = \frac{1}{RC} v_{in} t_1 \quad (6.34)$$

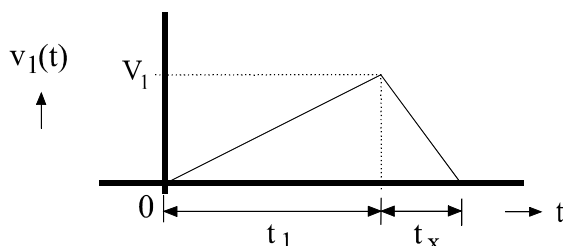
Pri znanem V_1 torej s tem izmerimo vrednost vhoda v_{in}

$$v_{in} = \frac{RC}{t_1} V_1 \quad (6.35)$$

Določitev V_1 : digitalni števec (Digital Counter) DC šteje osnovne časovne korake Δt in s tem meri čas. Ko DC izmeri $t = t_1$, to sporoči LN-u, ki preklopi stikalo (Switch) S na sponko $+V_{ref}$. Od tu dalje torej na integrator deluje napetost V_{ref} . Zaradi nasprotnega znaka se sedaj napetost na izhodu integratorja v_1 zmanjšuje od začetne vrednosti V_1

$$v_1(t) = V_1 - \frac{1}{RC} \int_0^{t_1} V_{ref} dt = V_1 - \frac{1}{RC} V_{ref} t \quad (6.36)$$

Zaradi enostavnosti smo izhodišče časa postavili tudi v tem primeru na začetek intervala. Potek napetosti $v_1(t)$ prikazuje sl.6.15. Potek napetosti vsebuje dva naklona, kar daje ime tej metodi (dual slope ADC).



Sl 6.15 Časovni potek izhoda integratorja $v_1(t)$

Kot prikazuje Sl 6.15, po nekem času t_x pade v_1 na vrednost $v_1 = 0V$. S pomočjo en(6.36) lahko določimo V_1

$$V_1 = \frac{1}{RC} V_{ref} t_x \quad (6.37)$$

Določitev digitalnega izhoda ADC: S pomočjo en(6.35) lahko sedaj ADC zapise vrednost v_{in} kot razmerje fiksnega časa integratorja t_1 in izmerjenega časa t_x ter to izpise kot izhodni signal ADC v digitalni obliki

$$v_{in} = \frac{RC}{t_1} V_1 = \frac{t_x}{t_1} V_{ref} = (b_1 \times 2^{-1} + b_2 \times 2^{-2} + \dots + b_n \times 2^{-n}) V_{ref} \quad (6.38)$$

Pri tem se je produkt RC krajšal in v rezultatu ne nastopa. Zato je delovanje tega ADC vezja neodvisno od teh elementov (R, C) oz. tehnologije, kar je ena od prednosti tega pristopa.

Vhodna napetost v_{in} je torej določena s časom t_x , ki ga določi števec DC s tem, da prešteje potrebne korake Δt tega intervala. Ostali dve veličini v en(6.38) t_1 , V_{ref} , sta znani konstanti ADC-ja. Razmerje t_x/t_1 števec v digitalni obliki pošlje števec na izhod vezja in to predstavlja izhod ADC-ja v_{out} za dano vrednost v_{in} . S tem je konverzija končana.

Hitrost konverzije

Hitrost konverzije je določena s časoma t_1 in t_x . Čas trajanja posamezne konverzije T_{conv} je kar vsota obeh časov v dvojni stopnici (Sl 6.15)

$$T_{conv} = t_1 + t_x \quad (6.39)$$

Tipične velikosti obeh časov so v razredu velikosti $\tau = RC = [\text{ms}]$ in gre v tem primeru torej za relativno počasne ADC-je.

Primer: ADC z dvojno stopnico ima podatke: $R = 100\text{k}\Omega$, $C = 0.1\mu\text{F}$, $t_1 = 10\text{ms}$, $V_{\text{ref}} = 10\text{V}$. Določi napetost stopnice V_1 in čas konverzije T_{conv} za vhodni signal $v_{\text{in}} = 6.8\text{V}$!

Reševanje:

Časovna konstanta integratorja je v tem primeru $\tau = RC = 100\text{k}\Omega \times 0.1\mu\text{F} = 10\text{ms}$.

Napetost stopnice je tedaj $V_1 = v_{\text{in}} t_1 / RC = 6.8\text{V} \times 10\text{ms} / 10\text{ms} = \underline{6.8\text{V}}$.

Čas upadanja stopnice t_x izračunamo s pomočjo en(6.38): $t_x = t_1 v_{\text{in}} / V_{\text{ref}} = 10\text{ms} \times 6.8\text{V} / 10\text{V} = \underline{6.8\text{ms}}$.

Čas konverzije je torej $T_{\text{conv}} = t_1 + t_x = 10\text{ms} + 6.8\text{ms} = \underline{16.8\text{ms}}$.

Prednosti: ADC-ji z dvojno stopnico so relativno enostavni, ceneni toda natančni (primerni za velik n - npr. 20 oz. ločljivost v razredu ppm).

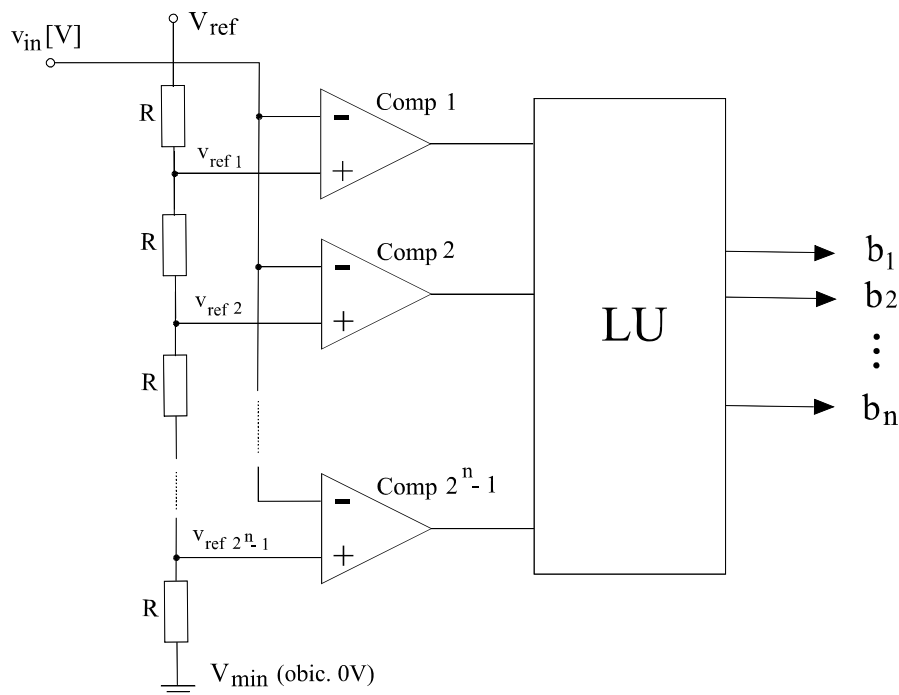
Slabosti: ADC-ji z dvojno stopnico so počasni, tipično v razredu 10 - 100 konverzij/s.

6.7.4.4 Bliskovni ADC

Uvod

Bliskovni ADC (Flash ADC) imajo ime verjetno zaradi svoje hitrosti, saj so "hitri kot blisk". Včasih se imenujejo tudi vzporedni (parallel) ADC, zaradi paralelne obdelave vhodnega signala v postopku konverzije. To so najhitrejši ADC, vendar zahtevajo kompleksna vezja in so zato dragi.

Osnovna shema n -bitnega bliskovnega ADC-ja je prikazana na Sl 6.16.

SI 6.16 Osnovna shema n -bitnega bliskovnega ADC

Analiza delovanja

Na komparatorjih se v_{in} primerja z različnimi ekvidistančnimi notranjimi referenčnimi napetostmi v_{ref} . Običajno te referenčne napetosti dobimo z nekim uporovnim delilnikom (SI 6.16). Za n -bitno besedo na izhodu ADC potrebujemo $2^n - 1$ referenčnih napetosti in prav toliko komparatorjev.

Izhodi iz komparatorjev (točneje: točka prehoda izhodov komparatorjev od 0 na 1) podaja velikost vhodnega signala v_{in} . Logična enota (Logic Unit) LU to vrednost predela v digitalni binarni izhodni signal ADC-ja $b_1 b_2 \dots b_n$.

Kompletna konverzija je torej v tem primeru narejena v enem samem ciklu (paralelno procesiranje) in je zato zelo hitra, zahteva pa veliko število komparatorjev.

Prednosti: Glavna prednost je velika hitrost konverzije kot posledica paralelne obdelave. Obstojajo npr. ADC-ji s $100 \cdot 10^6$ konverzij/s oz. časom ene konverzije v razredu [ns] !

Slabosti: Kompleksna vezja, ker n -bitni ADC rabi $2^n - 1$ komparatorjev (npr. 10-bitni ADC potrebuje 1023 komparatorjev!). Zato so to kompleksna in draga vezja.

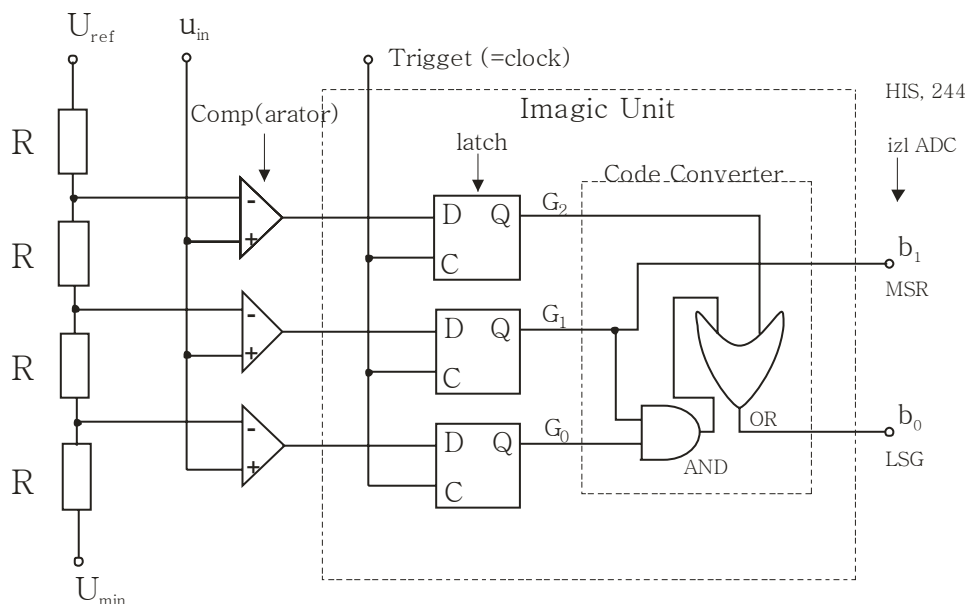
Primer: Zaradi enostavnosti podrobneje predstavi 2-bitni bliskovni ADC !

Reševanje:

V tem primeru je $n = 2$ in potrebujemo $2^n - 1 = 3$ komparatorje. Vezje tega komparatorja prikazuje SI 6.17.

Podobno kot v prejšnjem primeru se tu v_{in} stalno primerja na 3 komparatorjih proti 3 referenčnim napetostim uporovnega delilnika. Logično vezje nato poskrbi za pravilno zvezo med v_{in} in digitalnim izhodom ADC-ja :

v_{in} [V]	I	b_1b_0
0 – 1 I	0 0	
1 – 2 I	0 1	
2 – 3 I	1 0	
3 – 4 I	1 1	



SI 6.17 Vezje 2-bitnega bliskovnega ADC

6.7.4.5 Pol-bliskovni ADC

Uvod

Pol-bliskovni (Half-Flash) ADC je priljubljena pod varianta prejšnjega primera, ki združuje nekatere prednosti bliskovnega ADC in nizko ceno. Osnovna shema za primer 8-bitnega pol-bliskovnega ADC je prikazana na SI 6.18.

Analiza delovanja

V tem primeru se vhodni signal v_{in} najprej pretvori z 4-bitnim bliskovnim ADC. S tem dobimo prvi del izhoda v_{out} s 4 MSB biti, kar je torej (glede na končni 8-bitni izhod) izvedeno hitro in poceni. Ta delni izhod je hkrati pripeljan tudi na vhod DAC pretvornika (SI 6.18), ki proizvede torej na svojem izhodu pripadajočo analogno napetost - približno vrednost vhodnega signala $v_{inapprox}$, ki jo vodimo dalje na odštevalni (-) vhod seštevalnika. Na prištevalni (+) vhod seštevalnika je stalno priklopljena napetost vhodnega signala v_{in} . Zato se na izhodu seštevalnika pojavi razlika $v_{in} - v_{inapprox}$, ki jo spet na 4-bitnem bliskovnem ADC pretvorniku pretvorimo v preostale 4 LSB bite izhodnega signala. Logična enota LU proizvede končni izhodni 8-bitni signal.

Analiza delovanja

Kondenzator C_T poskrbi, da je celotna kapacitivnost vezja ($C_{\text{verige}} + C_T$) enaka osnovni kapacitivnosti C ! Ob upoštevanju izraza za vrsto, $\text{en}(x.x)$, določimo v tem primeru vrednost $C_T = C/2^4$. Položaje stikal upravlja logično vezje (Logic Network) LN. Obravnavo razdelimo v tri faze:

1. Faza vzorčenja (Sampling Phase): vsi kondenzatorji se tu nabijejo na napetost v_{in} !

Razlaga: Na začetku so vsi kondenzatorji prazni. Logično vezje LN drži stikala v položajih, kot prikazuje Sl 6.19. Nato stikalo S_B preklopi dol. Notranja napetost ADC v_0 je torej enaka 0V, gornje plošče kondenzatorjev so na masi. Napetost v_{in} se torej pojavi na vseh kondenzatorjih vezja, s skupno kapacitivnostjo $2C$ in obstoja zato shranjen naboj (stored charge) vezja $Q = 2C v_{\text{in}}$.

2. Faza vzdrževanja (Hold Phase): na kondenzatorjih se vzdržuje shranjeni naboj!

Razlaga: Logično vezje LN izvaja preklop vseh stikal po točno določenem vrstnem redu. Stikalo S_B se razklene (gor), stikala $S_{1-5,T}$ preklopijo levo (na maso), stikalo S_A preklopi na referenčno napetost V_{ref} . Gornje plošče kondenzatorjev so torej v zraku (Open Circuit), spodnje plošče pa na masi. Ker pri tem ni bilo niti za trenutek odprte nobene prevodne poti, shranjeni naboj na kondenzatorjih Q ne more odteci in ostaja nespremenjen! Ker pa so sedaj spodnje plošče kondenzatorjev na masi, je napetost v_0 tedaj enaka

$$v_0 = \frac{-2C v_{\text{in}}}{2C} = -v_{\text{in}} \quad (6.40)$$

3. Faza preporazdelitve naboja (Charge Redistribution Phase): obravnavo izvedemo v več zaporednih korakih, za vsako stikalo posebej!

1. LN izvede preklop stikala S_1 (MSB - ker največja C oz. Q):

Stikalo S_1 torej preklopi na desno, na V_{ref} ! Dobimo kapacitivnostni delilnik (Sl 6.19) za napetost V_{ref} med kapacitivnostjo pri stikalu S_1 (enaka C) in kapacitivnostjo preostalega vezja (enaka celotni kapacitivnosti $2C$, zmanjšani za kapacitivnost pri stikalu $S_1 - C$, torej $2C - C = C$). Notranja napetost v_0 , ki je tudi srednja točka opisanega delilnika, je torej enaka $v_0 = V_{\text{ref}}/2$.

Tako določena napetost v_0 oz. pripadajoči naboj na kondenzatorju, ki sta nastala zaradi V_{ref} , se primerjata z že od prej obstoječimi vrednostmi shranjenega naboja Q oz. napetosti v_{in} po en(6.40). Če velja:

- $v_{\text{in}} > V_{\text{ref}}/2$: tedaj negativni vpliv v napetosti v_0 po en(6.40) prevladuje ($v_0 = -v_{\text{in}}$), zato bo v_0 negativna, izhod komparatorja bo 0 in zato bo LN izvedel preklop stikala S_1 v desno, kar bo znak, da ima ta bit v izhodnem signalu vrednost 1!

- $v_{\text{in}} < V_{\text{ref}}/2$: tedaj prevladuje v napetosti v_0 pozitivni vpliv napetosti V_{ref} , kot je pokazano na začetku te točke ($v_0 = V_{\text{ref}}/2$), zato bo v_0 pozitivna, izhod komparatorja bo 1 in zato LN ne bo izvedel preklopa stikala S_1 v desno temveč bo ostalo v položaju levo, kar bo znak, da ima ta bit v izhodnem signalu vrednost 0!

Prvi (MSB) bit v izhodnem signalu je s tem določen in nadaljujemo z naslednjim bitom:

2. LN izvede prekllop stikala S_2 :

Stikalo S_2 torej preklopi na desno, na V_{ref} ! Dobimo kapacitivnosti delilnik (SI 6.19) za napetost V_{ref} med kapacitivnostjo pri stikalu S_2 (enaka $C/2$) in kapacitivnostjo preostalega vezja... Zgodba se ponavlja, le C delilniki imajo vedno drugačne vrednosti!

Ko tako stestiramo se zadnje stikalo S_5 in določimo s tem se zadnji (LSB) bit, je konverzija končana! Digitalna binarna beseda na izhodu ADC-ja, ki ustreza vrednosti vhodnega analognega signala $v_{in}[V]$, je v skladu z gornjimi ugotovitvami podana s položajem stikal S_1, S_2, S_3, S_4, S_5 po končani konverziji, v skladu s pravilom:

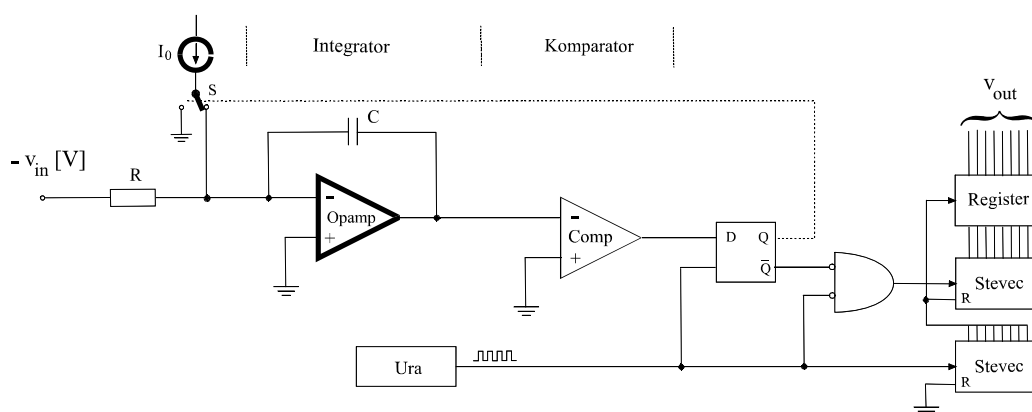
i -ti bit v izhodnem signalu ($i=1-5$) je določen v primeru

- če je S_i levo (oz. na maso) ---> $b_i = 0$
- če je S_i desno (oz. na V_{ref}) ---> $b_i = 1$

6.7.4.7 Delta-Sigma ADC

Uvod

Delta-Sigma oz. kratko $\Delta\Sigma$ ADC deluje podobno kot že opisani ADC s stopnico. Osnovna shema $\Delta\Sigma$ ADC-ja je prikazana na SI 6.20.



SI 6.20 Osnovna shema $\Delta\Sigma$ ADC-ja

6.7.5 OMEJITEV HITROSTI PRI AD KONVERZIJI

Iz obravnave posameznih pristopov AD konverzije sledi, da mora biti za pravilno AD konverzijo med celotnim postopkom ene konverzije vrednost vhodnega signala nespremenljiva oz. konstantna: $v_{in} = \text{const}$!

V praksi to pomeni, da se v času ene konverzije T_{conv} vhodni signal v_{in} lahko spremeni vendar ne več kot znaša ločljivost ADC konverterja $\Delta V_{min} = V_{ref}/2^n$, kar ustreza spremembi izhoda za 1 LSB bit. Matematično to zapišemo v obliki

$$d v_{in} = \frac{d v_{in}}{dt} T_{conv} \leq \Delta V_{min} \quad (6.41)$$

Maksimalna dopustna hitrost spremembe vhodnega signala $d v_{in}/dt$ je torej omejena

$$\frac{d v_{in}}{dt} \leq \frac{\Delta V_{min}}{T_{conv}} = \frac{V_{ref}}{2^n T_{conv}} \quad (6.42)$$

Posledice omenjene omejitve hitrosti vhodnega signala si najenostavneje ogledamo na naslednjem primeru.

Primer: Določi maksimalno dopustno hitrost spremembe vhodnega signala pri 10-bitnem ADC-ju z $V_{ref} = 5V$, $T_{conv} = 20\mu s$!

Reševanje:

Maksimalno dopustno hitrost spremembe vhodnega signala določimo z en(6.42)

$$\left(\frac{d v_{in}}{dt}\right)_{max} = \frac{\Delta V_{min}}{T_{conv}} = \frac{V_{ref}}{2^n T_{conv}} = \frac{5V}{2^{10} \times 20\mu s} = \underline{\underline{250V/s}}$$

Na prvi pogled hitrost $250V/s$ ne zglada slabo. Toda če pogledamo podrobneje, moramo mnenje spremeniti. Če imamo npr. na vhodu ADC harmonični vhodni signal

$$v_{in}(t) = V_0 \sin \omega t, \quad V_0 = 5V$$

dobimo hitrost spremembe vhodnega signala z odvajanjem. Ob upoštevanju gornje enačbe torej velja

$$\frac{d v_{in}}{dt} = V_0 \omega \cos \omega t \leq 250 V/s$$

Gornja neenačba predstavlja omejitev za maksimalno dopustno kotno hitrost ω vhodnega signala, zaradi omejitve po en(6.42). Frekvenčno mejo vhodnih signalov za dobro delovanje torej določimo iz gornje enačbe, pri čemer vzamemo najslabši možni slučaj (worst case), da je čas enak 1

$$\omega \leq \frac{250 \text{ V/s}}{V_0 \cos \omega t} = \frac{250 \text{ V/s}}{5 \text{ V} \times 1} = \underline{50/s} \quad \text{oz.} \quad f = \frac{\omega}{2\pi} \leq \underline{10\text{Hz}}$$

Tak ADC torej ne smemo uporabiti pri signalih nad $f = 10\text{Hz}$! To lahko v določenih primerih predstavlja problem oz. prenizko frekvenčno zmogljivost ADC-ja, zato je treba paziti v praksi na te omejitve.

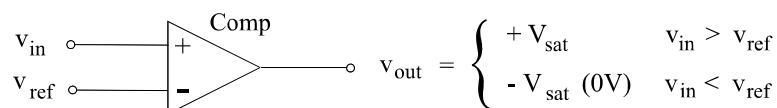
Rešitev tega problema lahko iščemo v različnih smereh:

- zamenjamo ADC s hitrejšim (naprednejša tehnologija, vendar višja cena !)
- zamenjamo ADC z manj bitnim, če je to možno (manjši n pomeni večjo ΔV_{\min} in po en(6.42) višjo dopustno hitrost signala dv_{in}/dt !)
- uporabimo S/H vezje na vhodu

6.8 KOMPARATORJI

6.8.1 UVOD

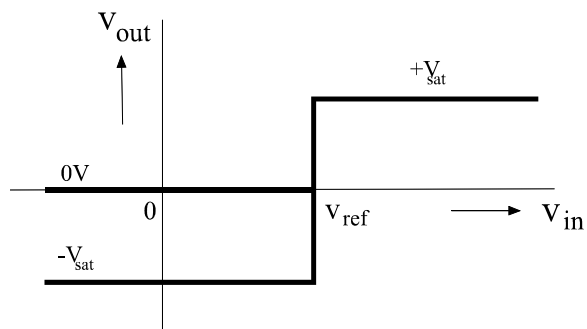
Komparator je vezje, ki primerja vrednosti dveh napetosti na vhodu in nato proizvede ustrezen izhodni signal, kot prikazuje SI 6.21.



SI 6.21 Osnovna shema komparatorja

6.8.2 OSNOVNI KOMPARATOR

Pogosto je komparator izveden enostavno z operacijskim ojačevalnikom, brez povratne vezave(SI 6.21). Tedaj, kot je bilo pokazano v pogl.xxx, je ojačanje opampa zelo veliko in že majhne razlike na vhodu ($v_{\text{in}} - v_{\text{ref}}$) povzročijo nasičenje izhoda ($v_{\text{out}} = V_{\text{sat}}$). Napetost nasičenja opampa V_{sat} je običajno nekoliko zmanjšana napajalna (applied) napetost V_a , tipično $V_{\text{sat}} = V_a - 1.3\text{V}$. Pri nekaterih izvedbah komparatorjev je negativno nasičenje $-V_{\text{sat}}$ pretvorjeno v vrednost 0V . Prenosna karakteristika takega komparatorja je prikazana na SI 6.22.

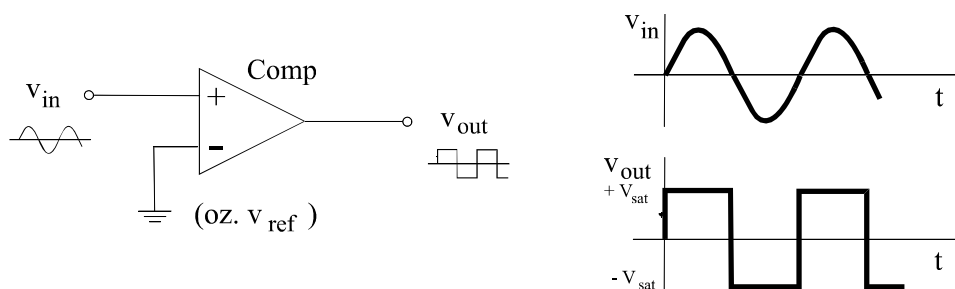


SI 6.22 Prenosna karakteristika komparatorja

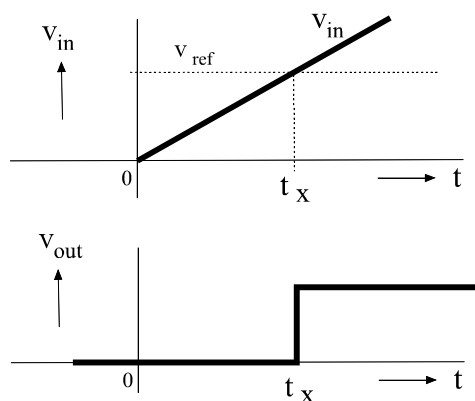
Uporaba

Komparatorje srečujemo v različnih aplikacijah, kot npr.

- v raznih DAC in ADC pretvornikih
- za generacijo pravokotnih pulzov, npr. s pretvorbo sin signalov (SI 6.23). Pri tem ima lahko referenčna (-) napetost tudi od 0V (mase) različno vrednost, kar vodi do nesimetričnih pulzov!
- v senzorskih vezjih za primerjavo vrednosti signala sensorja proti neki prednastavljeni, referenčni vrednosti v_{ref} in povzročitve ustrezne reakcije (npr. sprožitev alarma v trenutku t_x , SI 6.24)



SI 6.23 Pretvorba sin signalov v pravokotne s komparatorjem

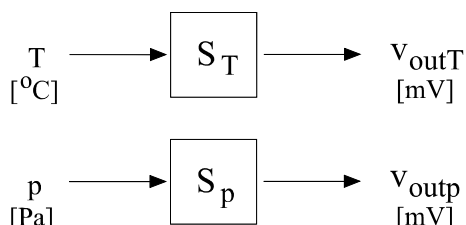


SI 6.24 Primerjava senzorjevega izhodnega signala proti referenčni vrednosti

Primer: V peči kontroliramo temperaturo T in pritisk p z linearnimi senzorji, z občutljivostmi $S_T = 2.2\text{mV}/^\circ\text{C}$ in $S_p = 0.20\text{V}/\text{Pa}$. Načrtaj senzorsko vezje, ki bo sprožilo alarm, kadar temperatura preseže $T_{\max} = 160^\circ\text{C}$ in (ne: ali!) pritisk $p_{\max} = 10\text{Pa}$! Referenčne vrednosti senzorjev (ko je izhod 0!) znašajo $T_{\text{ref}} = 0^\circ\text{C}$, $p_{\text{ref}} = 0\text{Pa}$.

Reševanje:

Vhodni (senzorski) del obravnavanega problema je predstavljen na SI 6.25.



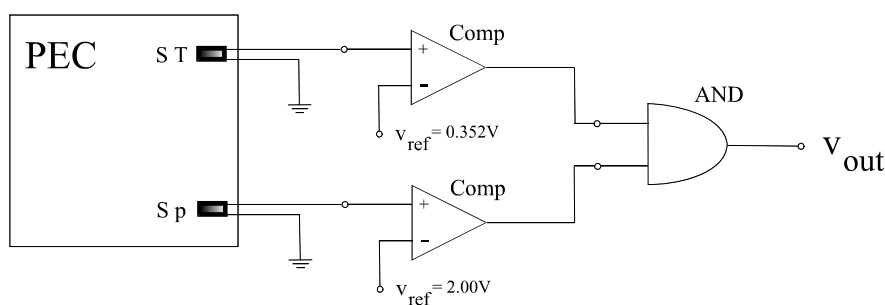
SI 6.25 Vhodni (senzorski) del obravnavanega problema

Najprej določimo izhodne signale senzorjev, ki ustrezajo maksimalnim vrednostim T_{\max} , p_{\max} . Ker so senzorji linearni, z vrednostjo offset = 0 v referenčni točki, lahko zapišemo zvezo med vhodno in izhodno spremenljivko v obliki $v_{\text{out}} = S (x_{\text{in}} - x_{\text{ref}})$. Pri maksimalnih vseh vhodih torej velja

$$v_{\max T} = S_T (T_{\max} - T_{\text{ref}}) = 2.2\text{mV}/^\circ\text{C} \times 160^\circ\text{C} = \underline{0.352\text{V}}$$

$$v_{\max p} = S_p (p_{\max} - p_{\text{ref}}) = 0.20\text{V}/\text{Pa} \times 10\text{Pa} = \underline{2.00\text{V}}$$

Za primerjavo trenutnih izhodnih napetosti senzorjev uporabimo komparator, za realizacijo zahtevane in zveze pa IN (AND) logična vrata (SI 6.26). Izhod vezja v_{out} je visok (H) le, kadar sta oba vhoda v AND vrata visoka oz. velja $T > T_{\max}$ in $p > p_{\max}$, kar je v skladu z izhodišnimi zahtevami.



SI 6.26 Načrt senzorskega vezja

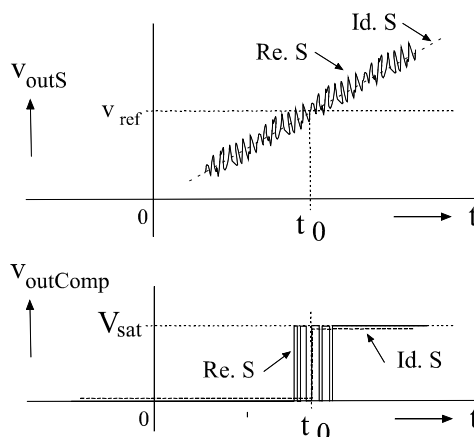
6.8.3 HISTEREZNI KOMPARATOR

Histerezni komparator, v literaturi poznan tudi kot Schmitt Trigger, je vezje iz družine bistabilnih multivibratorjev, ker ima dve stabilni stanji. Koristno ga lahko uporabimo npr. pri primerjavi signalov, ki vsebujejo motnje, kot opisuje naslednji primer.

Primer: Pogosto so resnični senzorski signali "onesnaženi" z različnimi motnjami kot so šumi, inducirane špice itd. Če tak signal pripeljemo na komparator, se namesto enkratnega preklopa (Sl 6.24) pojavi problem večkratnega preklopa komparatorja (Sl 6.27).

Če pogledamo najprej primer signala idealnega sensorja brez motenj (črtkano), problemov ni, komparator preklopi le v trenutku t_0 , ko velja $v_{outS} > v_{ref}$.

Če pa pogledamo primer signala resničnega sensorja (polna črta), je zaradi motenj oz. špic okrog trenutka t_0 večkrat izpolnjen pogoj $v_{outS} > v_{ref}$ in pride okrog t_0 do nekontroliranega večkratnega preklapljanja komparatorja, kar za nadaljnjo obdelavo signalov ni sprejemljivo.



SI 6.27 Idealni in resnični signal na komparatorju

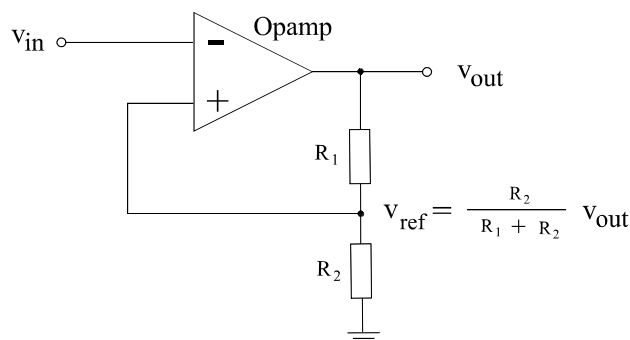
Problem lahko rešimo z uporabo histereznega komparatorja (Schmitt Trigger), pri katerem se po prvem preklopu referenčna napetost V_{ref} avtomatsko zniža na neko novo, nižjo referenčno napetost V_{ref}' . Novih preklpov tedaj ne bo več, vse dokler se signal ne zniža pod novo referenčno napetost V_{ref}' ! Histerezo preklopa Schmitt-trigerja Δv_{ref} definiramo kot razliko obeh referenčnih napetosti

$$\Delta v_{ref} = v_{ref} - v_{ref}' \quad (6.43)$$

V nadaljevanju si bomo pogledali nekaj izvedb histereznih komparatorjev.

6.8.3.1 Histerezni komparator s simetričnim preklopom

V tem primeru novo referenčno napetost nastavimo z delilnikom v invertirajočem ojačevalniku (Sl 6.28).



SI 6.28 Histerezni komparator s simetričnim preklopom

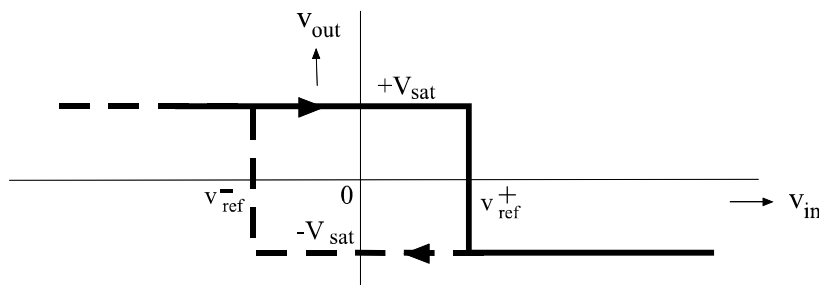
Analiza delovanja

Če je na začetku npr. napetost v_{in} velika negativna in raste v pozitivni smeri, od leve na desno na SI 6.29, je operacijski ojačevalnik invertirajočega ojačevalnika v pozitivnem nasičenju: $v_{out} = +V_{sat}$.

Ker je referenčna napetost komparatorja določena z napetostnim delilnikom izhodne napetosti v_{out} (SI 6.28), je torej v tem primeru referenčna napetost pozitivna

$$v_{ref}^+ = + \frac{R_2}{R_1 + R_2} V_{sat} \quad (6.44)$$

Preklop komparatorja bo sedaj pri vhodni napetosti $v_{in} = v_{ref}^+$, kot prikazuje prenosna karakteristika (polna črta na SI 6.29).



SI 6.29 Prenosna karakteristika Schmitt-trigerja s simetričnim preklopom

Poglejmo se preklop komparatorja za vhodni signal v obratni smeri, torej če je na začetku napetost v_{in} velika pozitivna in raste v negativni smeri, torej od desne na levo (prekinjena črta na SI 6.29).

Pri tem moramo upoštevati, da so se po preklopu razmere v vezju spremenile: opamp je pri tem sel iz pozitivnega v negativno nasičenje: $+V_{sat} \rightarrow -V_{sat}$!

Ker je referenčna napetost komparatorja v tem vezju vedno določena z napetostnim delilnikom izhodne napetosti v_{out} (SI 6.28), je zato sedaj referenčna napetost negativna

$$v_{ref}^- = - \frac{R_2}{R_1 + R_2} V_{sat} \quad (6.45)$$

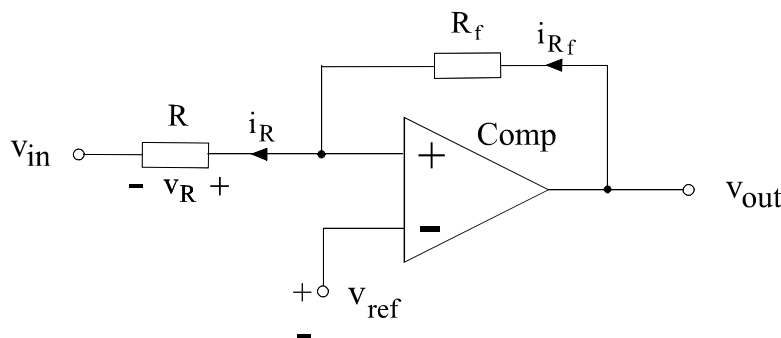
Preklop $v_{out} = +V_{sat} \rightarrow -V_{sat}$ se bo torej sedaj izvršil pri vhodni napetosti $v_{in} = v_{ref}^-$, kot prikazuje sl.6.29.

Opisano vezje torej res opravlja funkcijo komparatorja s histerezo oz. Schmitt-trigerja s simetričnim preklopom okrog izhodišča $v_{in} = 0V$. Histereza preklopa je v tem primeru določena kar z razliko en(6.44) in en(6.45)

$$\Delta v_{ref} = v_{ref}^+ - v_{ref}^- = 2 \frac{R_2}{R_1 + R_2} V_{sat} \quad (6.46)$$

6.8.3.2 Histerezni komparator z nesimetričnim preklopom

V tem primeru je vezje lahko izvedeno z običajnim komparatorjem, brez histereze(Sl 6.22) in uporom R_f v povratni vezavi neinvertirajočega ojačevalnika (Sl 6.30).



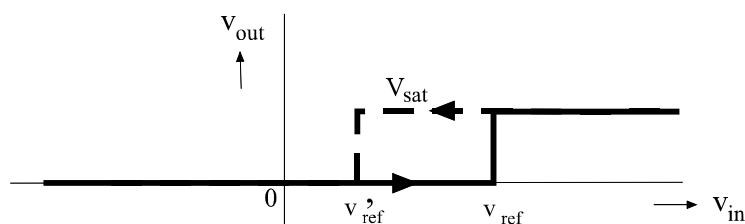
SI 6.30 Schmitt-triger z nesimetričnim preklopom

Analiza delovanja

Pogoj za pravilno delovanje vezja je v tem primeru $R_f \gg R$, ker to zagotovi veliko ojačanje neinvertirajočega ojačevalnika in s tem hitro nasičenje opampa, že pri majhnih napetostnih razlikah na vходу(pogl.xxx).

Če je na začetku npr. napetost v_{in} velika negativna in raste v pozitivni smeri, od leve na desno v prenosni karakteristiki(Sl 6.31), se bo preklop komparatorja od npr. vrednosti $0V$ na $+V_{sat}$ izvršil pri neki, z zunanjim virom nastavljeni napetosti v_{ref} .

Napetost na uporu v_R je v tem primeru namreč majhna oz. zanemarljiva, ker je ob preklopu leva sponka upora direktno na napetosti $v_{in} = v_{ref}$ (Sl 6.30), desna sponka upora pa zaradi navideznega kratkega stika na vходу opampa ($v^+ = v^-$) tudi na isti napetosti v_{ref} !



SI 6.31 Prenosna karakteristika Schmitt-trigerja z nesimetričnim preklopom

Poglejmo še preklon komparatorja za vhodni signal v obratni smeri, torej če je na začetku napetost v_{in} velika pozitivna in raste v negativni smeri, od desne na levo (prekinjena črta na Sl 6.31).

Iz osnovnega delovanja komparatorja sledi, da se bo preklon sedaj izvršil (Sl 6.30), ko bo izpolnjen pogoj $v_{in} + v_R = v_{ref}$ oz. ko bo veljalo $v_{in} = v_{ref} - v_R$, kar pa je torej ravno nova referenčna napetost v_{ref}'

$$v_{ref}' = v_{ref} - v_R \quad (6.47)$$

Določiti moramo se napetost v_R na uporu R , kar izvedemo ob uporabi Ohmovega zakona ($v_R = Ri_R$). Tok i_R določimo z naslednjim premislekom: po prvem preklopu so se razmere spremenile, ker se je izhod komparatorja v_{out} spremenil od $0V$ na $+V_{sat}$ in velja sedaj torej $v_{out} = +V_{sat}$.

Napetost na uporu R_f je zato (KNZ, Sl 6.30) $v_{Rf} = +V_{sat} - v_{ref}$ in po Ohmovem zakonu, ob upoštevanju II. ($i^+ = 0$), velja

$$i_{Rf} = \frac{v_{Rf}}{R_f} = \frac{V_{sat} - v_{ref}}{R_f} \cong i_R \quad (6.48)$$

Nova referenčna napetost v_{ref}' je v tem primeru torej

$$\begin{aligned} v_{ref}' &= v_{ref} - v_R = v_{ref} - \frac{R}{R_f} (V_{sat} - v_{ref}) \\ &= v_{ref} \left(1 + \frac{R}{R_f} \right) - \frac{R}{R_f} V_{sat} \end{aligned} \quad (6.49)$$

Ob upoštevanju začetne zahteve za dobro delovanje $R_f \gg R$ sta torej nova referenčna napetost v_{ref}' in histereza preklopa Δv_{ref} v tem primeru podana z izrazoma

$$\begin{aligned} v_{ref}' &= v_{ref} - \frac{R}{R_f} V_{sat} \\ \Delta v_{ref} &= v_{ref} - v_{ref}' = \frac{R}{R_f} V_{sat} \end{aligned} \quad (6.50)$$

Obravnavano vezje torej res deluje kot histerezni komparator (Schmitt Trigger) z nesimetričnim preklopom.

6.9 MULTIVIBRATORJI

6.9.1 UVOD

V uvodu najprej omenimo, da lahko digitalna vezja razdelimo v dve skupini (His, 175):

- Kombinacijska vezja (Combinational Circuits)

Izhod je tu odvisen le od trenutne vrednosti vhodnih signalov (nič od zgodovine teh signalov!).

Primeri: logična vrata (AND, NOR itd.), multiplekserji itd.

- Sekvenčna vezja (Sequential Circuits)

Izhod je tu odvisen od trenutne vrednosti vhodnih signalov in tudi od njihove zgodovine! Ta vezja imajo torej "spomin"

Primeri: zapah (Latch), flip-flop, multivibrator, spominski registri, shift-registri, števeci itd.

Multivibratorji so vezja, ki imajo dve (meta)stabilni stanji in jih lahko razvrstimo v dve skupini (Clay, 173):

- Astabilni multivibratorji:

Vezje ima dve (trenutno) stabilni stanji. Vezje samodejno, periodično preklaplja med tema dvema stanjema.

- Monostabilni multivibratorji:

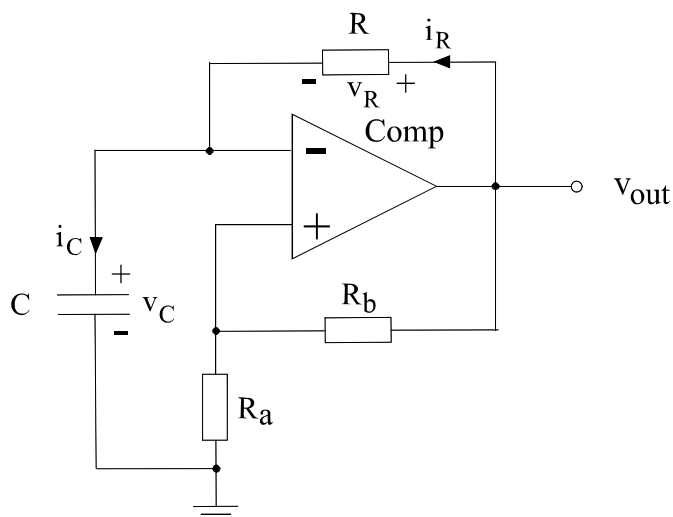
Vezje ima le eno stabilno stanje. S primernim vhodnim signalom lahko vezje preklapimo v drugo, nestabilno oz. metastabilno stanje. Čez določen čas vezje samodejno preklopi nazaj v stabilno stanje.

Obstojajo različne izvedbe multivibratorjev. Običajno gre za relativno preprosta vezja, sestavljena iz nekaj opampov, uporov in kondenzatorjev. V nadaljevanju si bomo ogledali nekaj tipičnih primerov.

6.9.2 ASTABILNI MULTIVIBRATOR S KOMPparatorJEM

Uvod

V tem primeru gre za relativno enostaven multivibrator, ki ga pogosto srečamo v raznih senzorskih aplikacijah (Sl 6.32).

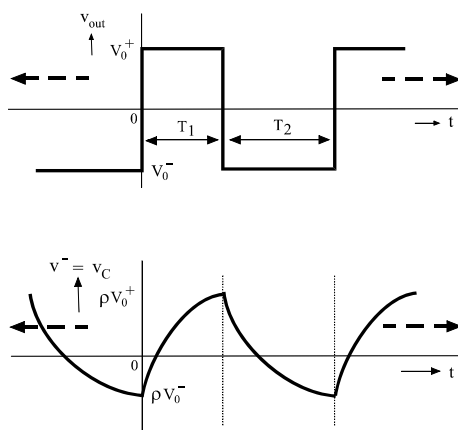


SI 6.32 Astabilni multivibrator s komparatorjem

Analiza delovanja

Pri obravnavi komparatorja smo že ugotovili, da se v odvisnosti od vrednosti referenčne in vhodne napetosti $v^+ > v^-$ oz. $v^+ < v^-$ opamp lahko nahaja le v pozitivnem oz. negativnem nasičenju. Torej sta tu možni le dve stanji izhoda: $v_{out} = V_0^+$ (v nekem času T_1) in $v_{out} = V_0^-$ (v nekem času T_2), kot prikazuje SI 6.33.

Preklop se bo izvršil vedno, kadar bo na komparatorju prišlo do izenačitve vhodne in referenčne napetosti: $v^- = v^+$. V našem primeru (SI 6.32) torej, ko bo postala vhodna napetost komparatorja, ki je tu določena z napetostjo na kondenzatorju $v^- = v_C$, enaka referenčni napetosti, ki je tu vedno določena z napetostnim delilnikom R_a, R_b izhodne napetosti v_{out} : $v^+ = \rho v_{out} = \rho V_0^{+/-}$. Pri tem smo zaradi krajšega zapisa vpeljali delilno razmerje delilnika $\rho = R_a / (R_a + R_b)$.



SI 6.33 Časovni potek signalov na astabilnem multivibratorju s komparatorjem

Zaradi povratnega upora R se pri tem delovanju kondenzator C neprestano polni in prazni, napetost na kondenzatorju v_C se torej pri tem stalno spreminja.

Vrednost napetosti na kondenzatorju v_C je torej ob preklopu oz. na koncu intervala T_1 ali T_2 ob upoštevanju pogoja za preklop $v^- = v^+$ določena z uporovnim delilnikom R_a, R_b za napetost $v_{out} = V_0^+$ oz. V_0^- :

$$v_C = \frac{R_a}{R_a + R_b} v_{out} = \rho v_{out} = \rho V_0^+ \text{ oz. } \rho V_0^- \quad (6.51)$$

Časovno odvisnost $v_C(t)$ in s tem preklope določimo z uporabo osnovnih zakonitosti vezja (Sl 6.32)

$$\begin{aligned} (II), i^- = 0: & \text{ substitucija: } i_R = i_C = i \\ KNZ: & v_{out} = v_R + v_C \\ v_R = iR, & v_C = \frac{1}{C} q_C \end{aligned}$$

Z odvajanjem v_C po času dobimo tok $i_C = i$

$$\frac{dv_C}{dt} = \frac{1}{C} i_C = \frac{1}{C} i \quad \text{oz.} \quad i = C \frac{dv_C}{dt} \quad (6.52)$$

in lahko pišemo v skladu z en(6.51)

$$v_{out} = v_R + v_C = RC \frac{dv_C}{dt} + v_C \quad (6.53)$$

Vpeljemo substitucijo: $\tau = RC$, kar predstavlja časovno konstanto polnjenja/praznjenja kondenzatorja C skozi upor R . Enačbo uredimo in dobimo diferencialno enačbo za $v_C(t)$

$$\tau \frac{dv_C}{dt} + v_C = v_{out} = V_0^{+,-} \quad \text{na intervalu } T_{1,2} \quad (6.54)$$

Diferencialno enačbo en(6.54), ob upoštevanju robnih pogojev (Sl 6.33), lahko rešimo na razne načine, npr. s separacijo spremenljivk in integracijo, z uporabo Laplaceovo transformacije itd. Rezultat, časovno odvisnost $v_C(t)$, zapišemo za vsak časovni interval posebej:

- rešitev $v_C(t)$ intervalu T_1 :

$$\begin{aligned} v_C(t) &= V_0^+ (1 - e^{-\frac{t}{\tau}}) + \rho V_0^- e^{-\frac{t}{\tau}} \\ &= V_0^+ - (V_0^+ - \rho V_0^-) e^{-\frac{t}{\tau}} \end{aligned} \quad (6.55)$$

Preizkus: $t = 0$, $v_C(0) = +\rho V_0^-$ (v skladu s Sl 6.33!)

Določitev časa T_1 : po času T_1 velja $v_C(T_1) = \rho V_0^+$ (gl. Sl 6.33). Če to izenačimo z vrednostjo desne strani en(6.55) pri T_1 , lahko izračunamo čas T_1

$$T_1 = \tau \ln \frac{1 - \rho \frac{V_0^-}{V_0^+}}{1 - \rho} \quad (6.56)$$

- rešitev $v_C(t)$ intervalu T_2 :
v tem primeru podobno izpeljemo

$$T_2 = \tau \ln \frac{1 - \rho \frac{V_0^+}{V_0^-}}{1 - \rho} \quad (6.57)$$

Frekvenca oscilacij astabilnega multivibratorja f je določena s časoma T_1, T_2

$$f = \frac{1}{T_1 + T_2} \quad (6.58)$$

Pogosto ima opamp simetrično nasičenje: $V_0^+ = -V_0^-$ in velja $V_0^+/V_0^- = -1$. Tedaj se izrazi poenostavijo

$$T_1 = RC \ln \frac{1 + \rho}{1 - \rho} = T_2 = T \quad (6.59)$$

Pulzi so torej v tem primeru simetrični oz. trajajo enako dolgo. Frekvenca oscilacij f je tedaj

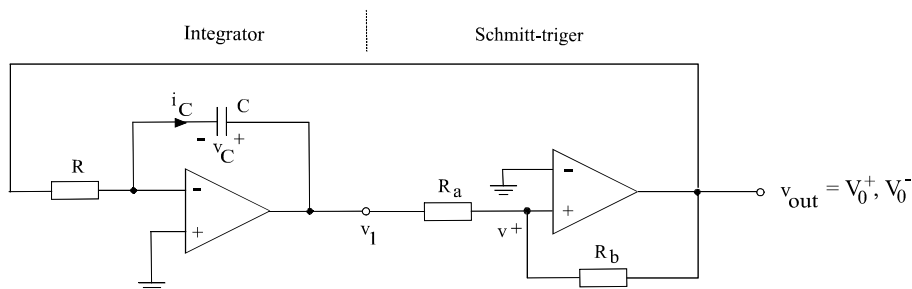
$$f = \frac{1}{2T} = \frac{1}{2RC \ln \frac{1 + \rho}{1 - \rho}} = \frac{1}{2RC \ln(1 + 2 \frac{R_a}{R_b})} \quad (6.60)$$

Frekvenca oscilacij f je torej tu določena s časovno konstanto $\tau = RC$ in razmerjem delilnika $\rho = R_a/R_a + R_b$ oz. razmerjem njegovih uporov R_a/R_b .

6.9.3 ASTABILNI MULTIVIBRATOR Z INTEGRATORJEM IN HISTEREZNIM KOMPparatorJEM

Uvod

Osnovno vezje je tu sestavljeno iz dveh opampov: eden deluje kot integrator, eden kot Schmitt-triger (Sl 6.34).



SI 6.34 Astabilni multivibrator z integratorjem in Schmitt-trigerjem

Analiza delovanja

Že pri obravnavi komparatorja smo ugotovili, da je izhod komparatorja lahko le v stanju $v_{out} = V_0^+$ oz. V_0^- , odvisno od vrednosti napetosti na + in - vhodu: $v^+ > v^-$ oz. $v^+ < v^-$. Podobno kot v prejšnjem primeru je torej izhod v_{out} v stanju V_0^+ v nekem času T_1 in v stanju V_0^- v nekem času T_2 (SI 6.35).

Zaradi povratne vezave pride napetost izhoda $V_0^{+,-}$ na vhod integratorja. Kot smo videli pri obravnavi integratorja, se zato v času $T_{1,2}$ kondenzator polni s konstantnim tokom $i_{C1,2}$. Če upoštevamo se zvezo med tokom in napetostjo na kondenzatorju, velja

$$i_{C1,2} = \frac{V_0^{+,-}}{R} = const = C \frac{dv_{C1,2}}{dt} \quad (6.61)$$

Velja torej $dv_{C1,2}/dt = const$, zato ima napetost na kondenzatorju v_C in s tem na izhodu integratorja v_1 odsekoma linearen potek s časom, brez nezveznosti - torej obliko lepih trikotnih pulzov (SI 6.35). Omenimo, da včasih uporabimo omenjeni pristop za izvedbo generatorja trikotnih pulzov.

Določitev amplitude V_1^- : ta vrednost nastopi na koncu intervala T_1 (SI 6.35), ko je izpolnjen pogoj za preklon v Schmitt-trigerju: $v^+ = 0$ (ker je tu $v^- = 0$). Zaradi linearnosti vezja lahko določimo v^+ s principom superpozicije: najprej določimo delna odziva $v_{1,2}^+$ na vzbujanja v_{out} , v_1 ter nato se celoten odziv v^+ .

$$1) \quad v_1 = 0: \quad v_1^+ = \frac{R_a}{R_a + R_b} V_0^+$$

$$2) \quad v_{out} = 0: \quad v_2^+ = \frac{R_b}{R_a + R_b} V_1^-$$

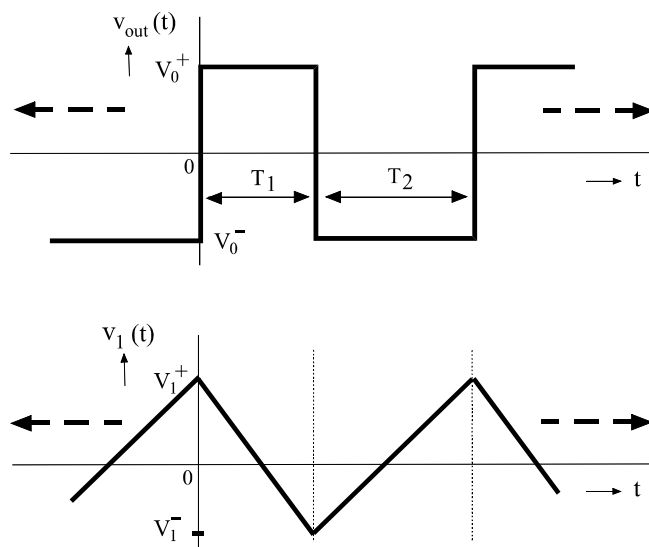
$$v^+ = v_1^+ + v_2^+ = \frac{R_b}{R_a + R_b} V_1^- + \frac{R_a}{R_a + R_b} V_0^+ = 0$$

Amplituda V_1^- je torej

$$V_1^- = -\frac{R_a}{R_b} V_0^+$$

Določitev amplitude V_1^+ : podobno kot v prejšnjem primeru - ta vrednost nastopi na koncu intervala T_2 (SI 6.35), ko je izpolnjen pogoj za preklon v Schmitt-trigerju ...itd. Amplituda V_1^+ je tedaj

$$V_1^+ = -\frac{R_a}{R_b} V_0^-$$



SI 6.35 Časovni potek signalov na obravnavanem multivibratorju

V enem časovnem intervalu, T_1 ali T_2 , se napetost na kondenzatorju spremeni za Δv_C

$$\Delta v_C = V_1^+ - V_1^- = (V_0^+ - V_0^-) \frac{R_a}{R_b}$$

Določitev časa T_1 : kot smo videli, se v času T_1 kondenzator nabija s tokom i_{C1} in se zato naboj na kondenzatorju spremeni za $\Delta Q_C = i_{C1} T_1$. Ob upoštevanju zapisanih enačb je čas T_1 torej

$$T_1 = \frac{\Delta Q_C}{i_{C1}} = \frac{C \Delta v_C}{V_0^+ / R} \Delta v_C = RC \frac{V_0^+ - V_0^-}{V_0^+} \frac{R_a}{R_b} \quad (6.62)$$

Določitev časa T_2 : podobno kot v prejšnjem primeru dobimo

$$T_2 = RC \frac{V_0^- - V_0^+}{V_0^-} \frac{R_a}{R_b} \quad (6.63)$$

Perioda oscilacij T oz. frekvenca oscilacij f multivibratorja je v tem primeru torej

$$T = \frac{1}{f} = T_1 + T_2 = RC \frac{(V_0^+ - V_0^-)(V_0^- - V_0^+)}{V_0^+ V_0^-} \frac{R_a}{R_b} \quad (6.64)$$

Poenostavitev: pogosto ima opamp simetrično nasičenje $V_0^+ = -V_0^- = V_0$! Tedaj se izrazi poenostavijo

$$T_1 = T_2 = T = 2 RC \frac{R_a}{R_b} \quad (6.65)$$

Pulzi so torej v tem primeru simetrični. Frekvenca oscilacij f multivibratorja je tedaj

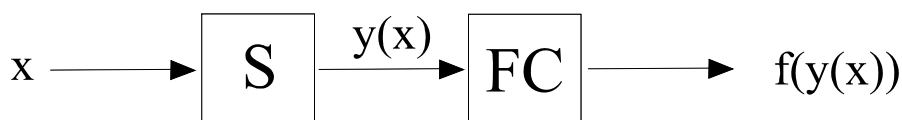
$$f = \frac{1}{2T} = \frac{1}{4 RC} \frac{R_b}{R_a} \quad (6.66)$$

Komentar: frekvenco oscilacij f lahko torej nastavimo z velikostjo RC konstante in z razmerjem obeh uporov R_b/R_a . Omenimo, da lahko tudi amplitudo trikotnih pulzov nastavimo z razmerjem R_b/R_a , vendar to seveda vpliva tudi na frekvenco.

6.10 FREKVENČNI PRETVORNIKI

6.10.1 UVOD

Pogosto je pri obdelavi senzorskih signalov ugodno, če jih najprej z frekvenčnim pretvornikom FC (Frequency Converter) pretvorimo v frekvenčne signale. Osnovno delovanje FC-ja v senzorskih sistemih prikazuje Sl 6.36. Izhodni signal sensorja $y(x)$ FC pretvori v harmonični signal, pri katerem je frekvenca f posredno, vendar enolično odvisna od velikosti vhodnega signala sensorja x : $f = f(y(x))$!



Sl 6.36 Osnovno delovanje frekvenčnega pretvornika

Zaradi prednosti frekvenčnega zapisa oz. frekvenčne obdelave signalov obstoja tudi vedno več sensorjev, pri katerih je izhodni signal že direktno frekvenca.

6.10.2 PREDNOSTI FREKVENČNEGA ZAPISA

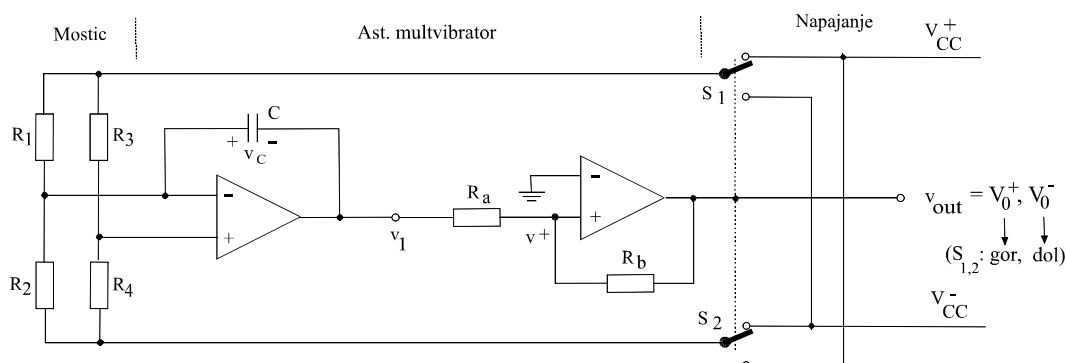
- 1) Frekvenčni signali so v splošnem bolj odporni v primerjavi z analognimi signali proti različnim motnjam kot so npr. sum, interference itd. Vzrok je v dejstvu, da se amplitude signalov zaradi motenj lažje spreminjajo kot pa frekvence, ki so relativno stabilna komponenta signala.
- 2) Frekvenco lahko zelo natančno in poceni merimo: že cenen merilnik frekvence kot npr. preprost števec (frequency counter) meri frekvenco v razredu 10^{-7} . Natančnosti meritev se tako zlahka močno povečajo.
- 3) Frekvenčni zapis signalov omogoča ekonomičnejši prenos signalov z multipleksiranjem: v primeru večjega števila signalov lahko zakodiramo več različnih signalov v en sam signal - zmanjša se število povezav(kablov) ter s tem poviša zanesljivost in zniža cena sistema.
- 4) Frekvenčni signal lahko enostavno in kvalitetno pretvorimo v digitalni signal za nadaljnjo obdelavo signalov (kot že pokazano, npr. z komparatorjem ali Schmitt-trigerjem, itd.).

V nadaljevanju si oglejmo nekaj osnovnih izvedb frekvenčnih pretvornikov.

6.10.3 IZVEDBE

6.10.3.1 Mostično-frekvenčni pretvornik

Mostično-frekvenčni pretvornik BFC (Bridge-to-Frequency Converter) izhod iz neuravnovešenega mostiča pretvori v frekvenčni izhod. Vezje je podobno kot v prejšnjem primeru (SI 6.34), le da namesto upora R na vhod multivibratorja dodamo mostič, sestavljen iz uporov R_{1-4} (SI 6.37). Kot bomo videli, je tu frekvenca oscilacij določena z neuravnovešenjem mostiča.



SI 6.37 Mostično-frekvenčni pretvornik

Analiza delovanja

Velja vse kot v prejšnjem primeru pri obravnavi astabilnega multivibratorja: izhodna napetost $v_{out}(t)$ ima lahko le vrednost V_0^+ ali V_0^- oz. obliko pravokotnih pulzov, notranja napetost $v_1(t)$ pa obliko trikotnih pulzov (Sl 6.35). Tudi pogoj za preklon dobimo enako kot v prejšnjem primeru

$$V_1^- = -\frac{R_a}{R_b} V_0^+, \quad V_1^+ = -\frac{R_a}{R_b} V_0^-$$

Stikali S_1, S_2 sta tu krmiljeni z izhodno napetostjo, kot prikazuje Sl 6.37. V intervalu T_1 torej velja: $v_{out} = V_0^+$ in je zato položaj obeh stikal v položaju "gor" (kot na sliki). V intervalu T_2 bo položaj ravno obraten.

Določitev razmer na kondenzatorju:

Napetost na kondenzatorju je (Sl 6.37) $v_C = v^- - v_1$.

Na koncu prvega intervala (T_1) določimo vrednost v^- podobno kot v prejšnjem primeru, s principom superpozicije in delilnika R_3, R_4 za napetost V_{CC}^+ . Napetost v_1 ima tu vrednost V_1^- , kar prepisemo iz gornje enačbe. Napetost na kondenzatorju na koncu intervala T_1 je torej

$$v_C(T_1) = \frac{V_{CC}^+ R_4 + V_{CC}^- R_3}{R_4 + R_3} + \frac{R_a}{R_b} V_0^+ \quad (6.67)$$

Podobno določimo napetost na kondenzatorju na koncu drugega intervala T_2

$$v_C(T_2) = \frac{V_{CC}^- R_4 + V_{CC}^+ R_3}{R_4 + R_3} + \frac{R_a}{R_b} V_0^- \quad (6.68)$$

Sprememba napetosti na kondenzatorju v prvem intervalu je torej

$$\begin{aligned} \Delta v_C &= v_C(T_1) - v_C(T_2) \\ &= \frac{(V_{CC}^+ - V_{CC}^-)(R_4 - R_3)}{R_4 + R_3} + (V_0^+ - V_0^-) \frac{R_a}{R_b} \end{aligned} \quad (6.69)$$

Toki v kondenzator i_1, i_2 v intervalih T_1, T_2 so spet konstantni in jih določimo podobno kot v prejšnjem primeru. Tudi spremembo naboja na kondenzatorju med enim intervalom določimo podobno kot prej

$$\Delta Q_C = C \Delta v_C = i_1 T_1 \quad \text{oz.} \quad i_2 T_2 \quad (6.70)$$

Ob upoštevanju enačb en(6.68)(6.69)(6.70) lahko končno določimo časa T_1 in T_2 . Zaradi dolgih izrazov zapišimo rezultat samo simbolično

$$T_{1,2} = f(R_{1-4}, R_{a,b}, V_{CC}^{+,-}, V_0^{+,-}) \quad (6.71)$$

Frekvenca oscilacij je podana kot prej z recipročno vrednostjo ene periode $f = 1 / T_1 + T_2$.

Poenostavitev: Če limitiramo upora v Schmitt-trigerju (Sl 6.37) $R_a \rightarrow 0$, $R_b \rightarrow \infty$, leta preide v navaden komparator in se izrazi poenostavijo. Frekvenca oscilacij je tedaj

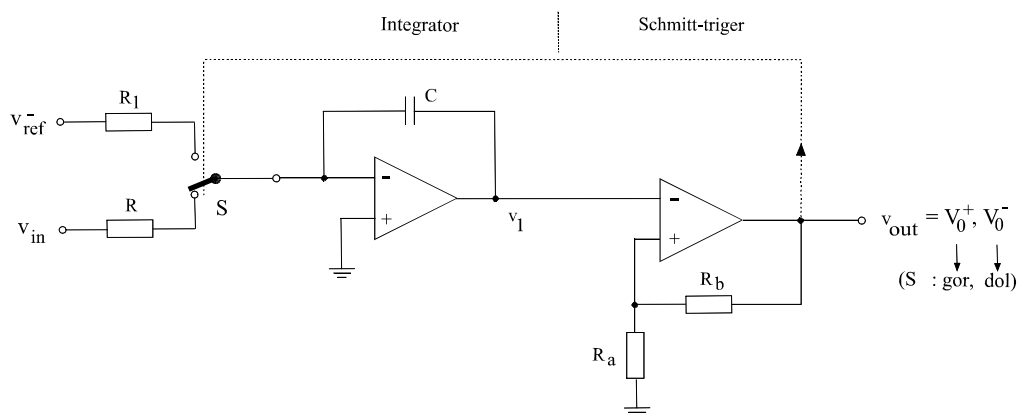
$$f = \frac{1}{4R_4C} \left(\frac{R_3}{R_1} - \frac{R_4}{R_2} \right) \quad (6.72)$$

Vežje torej res opravlja funkcijo mostično-frekvenčnega pretvornika, saj je frekvenca v tem primeru proporcionalna neuravnovešenju mostiča.

6.10.3.2 Napetostno-frekvenčni pretvornik

Napetostno-frekvenčni pretvornik VFC (Voltage-to-Frequency Converter) vhodni napetostni signal pretvori v izhodni periodični signal s frekvenco, ki je enolično odvisna od napetosti na vhodu. Obstojajo različni pristopi k realizaciji VFC, tu si bomo pogledali VFC z astabilnim multivibratorjem.

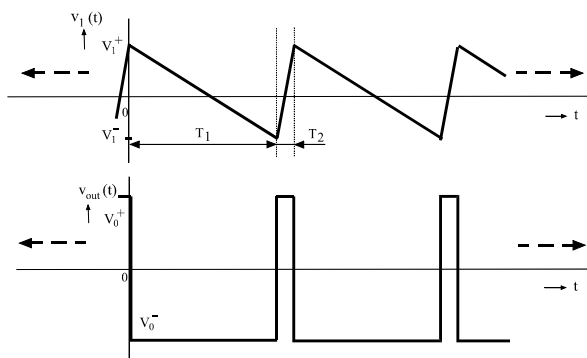
Vežje je podobno prejšnjemu, gre za astabilni multivibrator z integratorjem in Schmitt-trigerjem. Namesto mostiča je v tem primeru na vhodu poleg vhodnega signala v_{in} se dodaten referenčni izvor v_{ref}^- , ki ju na vhod integratorja preklapljam s stikalom S, krmiljenim z izhodom v_{out} (Sl 6.38).



SI 6.38 VFC z astabilnim multivibratorjem

Analiza delovanja

Multivibrator deluje podobno kot v prejšnjem primeru: izhod je lahko le v negativnem nasičenju, V_0^- v intervalu T_1 ter v pozitivnem nasičenju, V_0^+ v intervalu T_2 (Sl 6.39). Običajno so elementi vezja izbrani tako, da velja $T_2 \ll T_1$.



SI 6.39 Časovni potek signalov v VFC

Na intervalu T_1 je izhod (SI 6.39) $v_{out} = V_0^-$ in zato stikalo S v položaju "dol" (kot na SI 6.38). Zaradi pravil I, II se kondenzator C integratorja tedaj polni s konstantnim tokom $i_{C1} = v_{in}/R$.

Na intervalu T_2 je izhod $v_{out} = V_0^+$ in zato stikalo S v položaju "gor" (obratno kot na SI 6.38). Zaradi pravil I, II se sedaj kondenzator C integratorja polni s konstantnim tokom $i_{C2} = v_{ref}/R_1$.

Izhod integratorja v_1 se pri tem spreminja (SI 6.39) od vrednosti $V_1^+ = \rho V_0^+$ do vrednosti $V_1^- = \rho V_0^-$. Pri tem smo zaradi krajšega zapisa uvedli razmerje delilnika $\rho = R_a/R_a + R_b$.

Čas T_1 določimo podobno kot prej, iz spremembe naboja oz. napetosti na kondenzatorju pri znanem toku

$$\Delta Q_C = C \Delta v_C = C \Delta v_1 = i_{C1} T_1 \quad (6.73)$$

Čas T_1 je torej

$$T_1 = \frac{C \Delta v_1}{i_{C1}} = C \rho (V_0^+ - V_0^-) \frac{R}{v_{in}} = \frac{RC}{\rho} \frac{V_0^+ - V_0^-}{v_{in}} \quad (6.74)$$

Podobno lahko določimo tudi čas T_2 .

Frekvenca oscilacij f je (zaradi $T_2 \ll T_1$) torej podana z izrazom

$$f = \frac{1}{T_1 + T_2} \cong \frac{1}{T_1} = \frac{\rho}{RC} \frac{v_{in}}{V_0^+ - V_0^-} \quad (6.75)$$

Obnavnavano vezje torej proizvaja izhodne pulze, katerih frekvenca f je proporcionalna vhodni napetosti v_{in} in vezje res deluje kot VFC.

6.10.3.3 Tokovno-frekvenčni pretvornik

Včasih potrebujemo tokovno-napetostni pretvornik CFC (Current-to-Frequency Converter). CFC proizvaja izhodne periodične pulze, katerih frekvenca f je proporcionalna trenutnemu toku na vhodu i_{in} .

Najenostavneje izvedemo vezje iz prejšnjega, če zamenjamo polnjenje kondenzatorja C (z napetostjo v_{in} preko upora R) z vhodnim tokom i_{in} , ki v tem primeru polni kondenzator. Obravnava je zato podobna kot v prejšnjem primeru, rezultat zapišemo v poenostavljeni obliki

$$f = K i_{in} \quad (6.76)$$

kjer je konstanta K odvisna od elementov vezja, podobno kot v prejšnjem primeru.