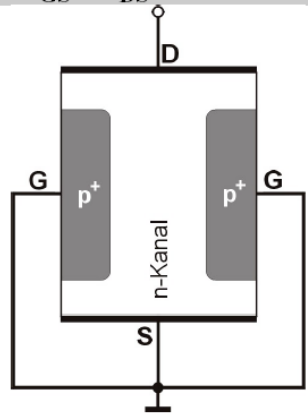


J-FET tranzistor

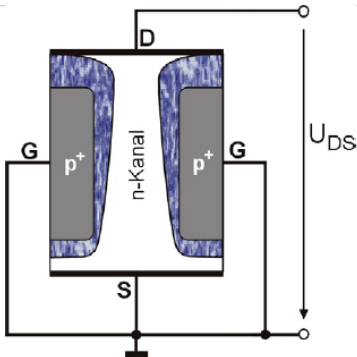
Spojni tranzistor na osnovi električnega polja (J-FET...junction field effect transistor) sodi v skupino tranzistorjev, katerih izhodni tok (skozi t.i. kanal) tvorijo samo večinski nosilci naboja (elektroni pri n-kanalnem tranzistorju). Njegovo jakost uravnavamo s pomočjo krmilne napetosti, ki jo priključimo na krmilno elektrodo-vrata (angl.-Gate). Od prevodnega kanala so vrata izolirana s pomočjo zapornega sloja.

$$U_{GS} = U_{DS} = 0$$



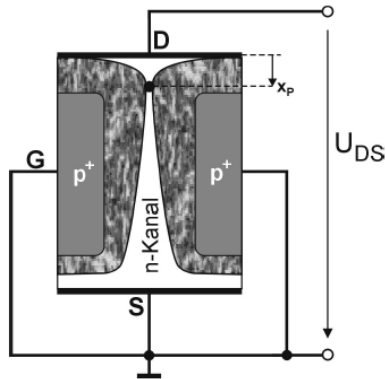
PN spoj Gate-Source se nahaja v breznapetostnem stanju, debelina zapornega sloja je zato enaka nič po celotni dolžini kanala.

$$U_{GS} = 0, U_{DS} > 0$$



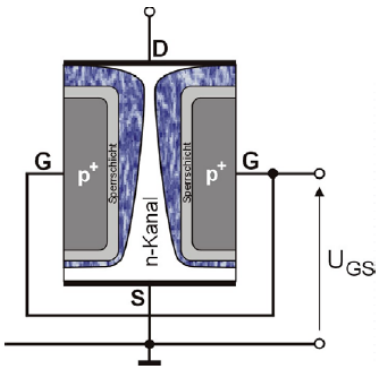
- s povečevanjem napetosti U_{DS} začne skozi kanal teči tok, ki ga tvorijo večinski nosilci-elektroni. Vzdolž kanala nastopi padec napetosti, ki povzroči porast potenciala kanala in sicer tembolj čim bližje smo priključku D. Med kanalom in vrati (G), ki so potencialu 0 V, vlada ista napetost, ki spoj G-S polarizira v reverzni smeri. Posledica tega je, da se vzdolž vrat ustvari področje osiromašenega naboja (zaporno področje). Najdebelejši je pri priključku D.

Z nadaljnjim povečevanjem napetosti U_{DS} upornost n-kanala narašča (kanal se vedno bolj zožuje), oziroma tok se z naraščajočo napetostjo U_{DS} povečuje vedno počasneje ($\Delta U_{DS} > \Delta I_D$). To velja vse do trenutka, ko se kanal preščipne. Napetost U_{DS} pri kateri pride do omenjenega efekta označimo kot U_P napetost preščipnenja (pinch off) ali tudi U_{TO} (turn on). Pozor, napetosti U_P in U_{TO} sta definirani pri $U_{GS} = 0$!



- Preščipnenje kanala pa seveda ne pomeni, da tok I_D pade na vrednost nič, saj tedaj ne bi bilo niti padca napetosti vzdolž kanala, ki je glavni krivec za ožanje kanala. Vrednost toka I_D se zato od tu dalje zanemarljivo povečuje, zaradi česar pravimo, da se tranzistor obnaša kot tokovni vir $I_D = \text{konst.}$

$U_{GS} < 0$



Če spoj med G in S s krmilno napetostjo U_{GS} polariziramo v zaporni smeri, se prevodna širina dodatno zoži zaradi povečanega zapornega sloja na PN spoju.

Do preščipnenja kanala pride zato že pri nižji napetosti U_{DS} , kar se odraži tudi v manjšem toku nasičenja I_{DS} (glej izhodno karakteristiko).

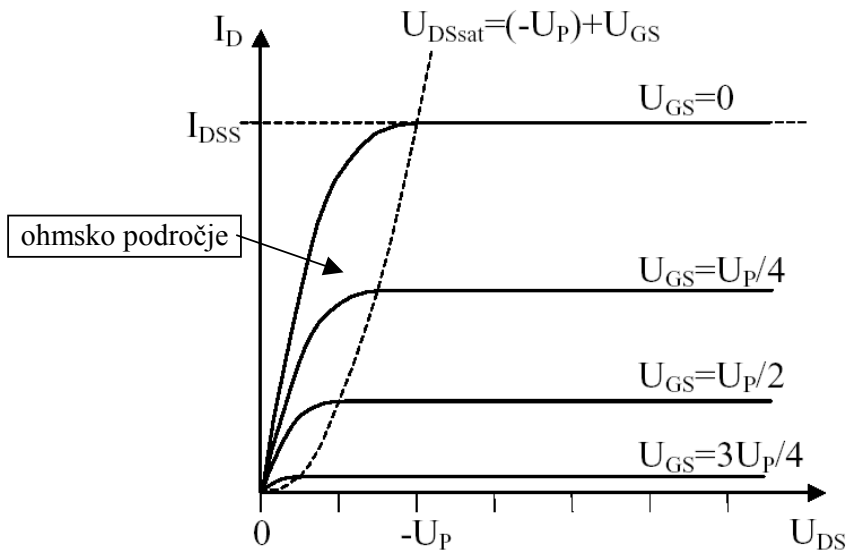
$$I_{DS} = I_{DSS} \left(1 - \frac{U_{GS}}{U_P} \right)^2$$

Iz opisa je razvidno, da tok med S in D sponko tvorijo izključno večinski nosilci naboja:

- n-kanalni-FET: tok elektronov od Source k Drain,
- p-kanalni-FET: tok vrzeli od Source k Drain.

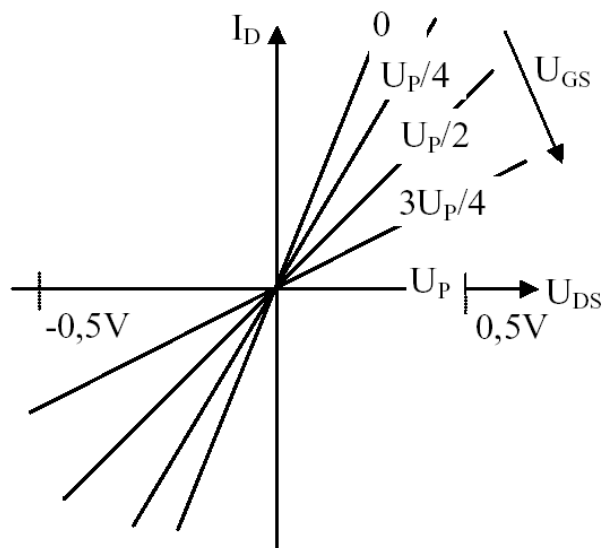
Manjšinjski nosilci naboja nimajo nikakršnega pomena na tok I_D . Manjšinjski nosilci tvorijo le majhen reverzni tok skozi spoj G-S, ki ga lahko v večini primerov zanemarimo. Tedaj pravimo, da tranzistor krmilimo z napetostjo; J-FET je torej napetostno krmiljen element.

Ker tok med sponkama S in D tvorijo le večinski nosilci naboja, pravimo tudi, da je tak tranzistor unipolaren. Zato se pri simetrični gradnji sponk S in D tokovno-napetostne razmere ne spremenijo, če spremenimo polariteto napajalne napetosti U_{DS} .

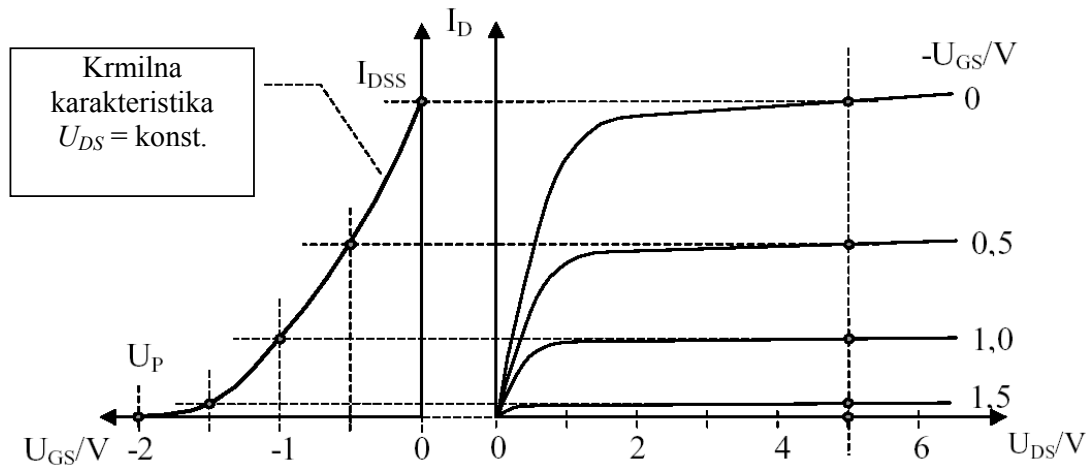


Slika: Izhodna karakteristika $I_D = f(U_{DS})$ pri $U_{GS} = \text{konst.}$

Iz opisa je razvidno, da se s krmilno napetostjo U_{GS} vpliva na širino prevodnega kanala ter s tem posredno na upornost kanala med sponkama S in D. Slednja zakonitost pa velja le pri majhnih vrednostih napetosti U_{DS} , ko tranzistor še ne doseže nasičenja (preščipnenje kanala!). To področje imenujemo zato tudi ohmsko področje.



Slika: Izsek izhodne karakteristike $I_D = f(U_{DS})$ pri majhni napetosti U_{DS} (ohmsko področje)

Slika: Krmilna karakteristika $I_D = f(U_{GS})$ pri $U_{DS} = \text{konst}$

Ne pozabimo:

$$I_{DSS} = I_{DS} \Big|_{U_{GS}=0} \quad \text{in} \quad U_P = U_{GS} \Big|_{I_{DS}=0}.$$



Slika: Simbol n- in p-kanalnega J-FETA

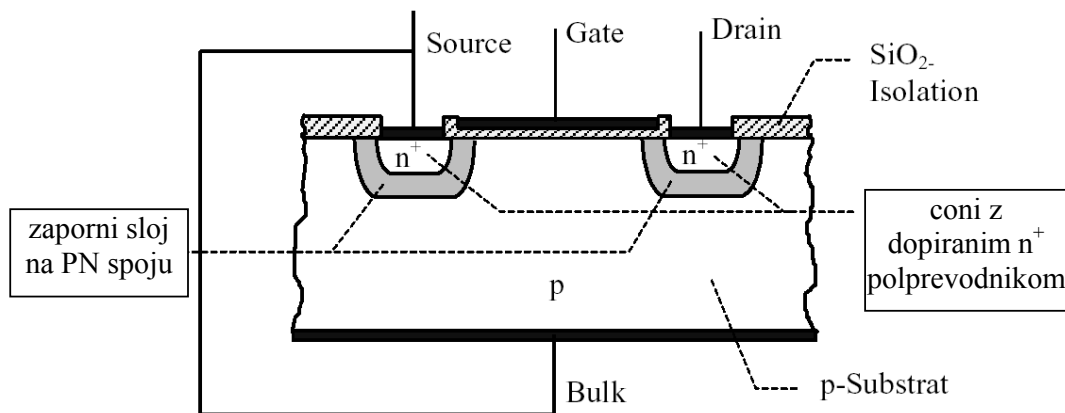
MOS-FET tranzistor

Z induciranim kanalom

Zgradba MOS-FET tranzistorja z induciranim kanalom bo v nadaljevanju opisana na primeru n-kanalnega tranzistorja, ki ga kaže spodnja slika.

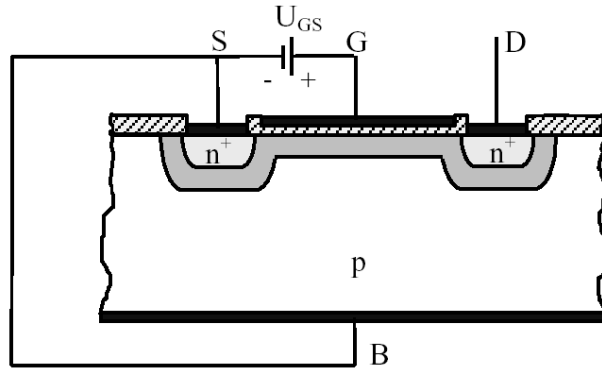
Tranzistor je zgrajen na tanki rezini (substratu) polprevodnika p-tipa, ki ima na obeh koncih vgrajeni dve coni z močno dopiranim n^+ polprevodnikom. Ti dve coni tvorita s priključnima žicama močnostni sponki S (source-izvor) in D (drain-ponor).

Preostala površina polprevodniškega kristala je prekrita s tankim, električno neprevodnim slojem Si oksida (SiO_2). Nanj je s postopkom metalizacije nanešena tanka kovinska plast-krmilna elektroda (gate-vrata). Na zadnji strani substrata je nanešena podobna kovinska plast - t.i. bulk priključek, ki je pogosto električno spojen s sponko S.



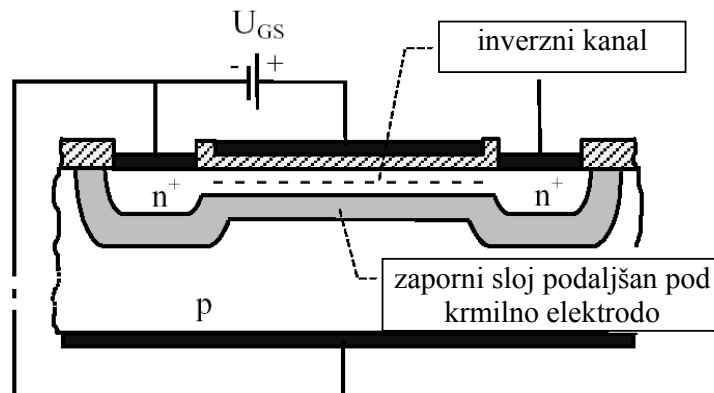
Slika: Osnovna zgradba n-kanalnega MOS-FET tranzistorja

Obe krajni coni n^+ tvorita s substratom p-tipa dva PN spoja, na katerih se vzpostavi zaporno področje določene debeline. Če med sponkama G in S priključimo krmilno napetost s pozitivnim polom na sponki G, bo večinske nosilce naboja v substratu (vrzeli) odbilo izpod krmilne elektrode globlje v substrat. Neposredno pod krmilno elektrodo se zato pojavi področje pretežno brez večinskih nosilcev t.i. področje osiromašenja. To področje navidezno podaljša in poveže zaporna sloja izpod sponk S in D.



Slika: Področje osiromašenja-razširitev zapornega sloja

Zaradi manjkajočega večinskega naboja izpod krmilne elektrode se manjšinski naboji (elektroni) v področju osiromašenja ne morejo več rekombinirati, zato njihova koncentracija močno narašča. Neposredno pod krmilno elektrodo se zato vzpostavi področje z visoko koncentracijo elektronov, ki jih tu dodatno privlači pozitivni pol krmilne napetosti. Med močnostnima sponkama S in D se vzpostavi prevodni kanal, ki ga pod krmilno elektrodo tvorijo manjšinski nosilci naboja v substratu-elektroni. Pravimo, da se pod krmilno elektrodo pojavi inverzni kanal, ki je od ostale kristalne strukture izoliran z zapornim slojem.



Slika: Pojav inverznega kanala


Če sedaj med sponki S in D priključimo dodatni napetostni vir s pozitivnim polom na D, začno skozi inverzni kanal teči elektroni od S proti D. Prevodni kanal se podobno kot pri J-FETu zaradi priključene napetosti U_{DS} zoži čim bližje se nahajamo sponki D. Od tu tudi podoben potek izhodnih karakteristik obeh tranzistorjev.



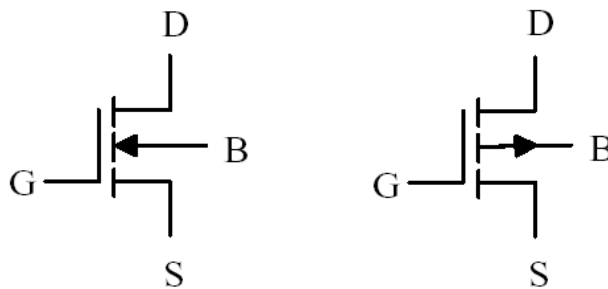
Slika: Zožanje prevodnega kanala zaradi priključene napetosti U_{DS}

Iz opisa je razvidno:

- širina prevodnega inverznega kanala je merodajna krmilni napetosti U_{GS} (pod krmilno elektrodo ustvari prečno električno polje), s čimer je zagotovljen učinkovit vpliv na prevodnost med sponkama S in D,
- pri konstantni vrednosti krmilne napetosti U_{GS} je vrednost krmilnega toka enaka nič; tranzistor sodi med napetostno krmiljene elemente,
- tok I_D steče skozi tranzistor le, če krmilna napetost $U_{GS} > 0$ inducira pod krmilno elektrodo inverzni kanal; tranzistor pri $U_{GS} = 0$ ne prevaja.



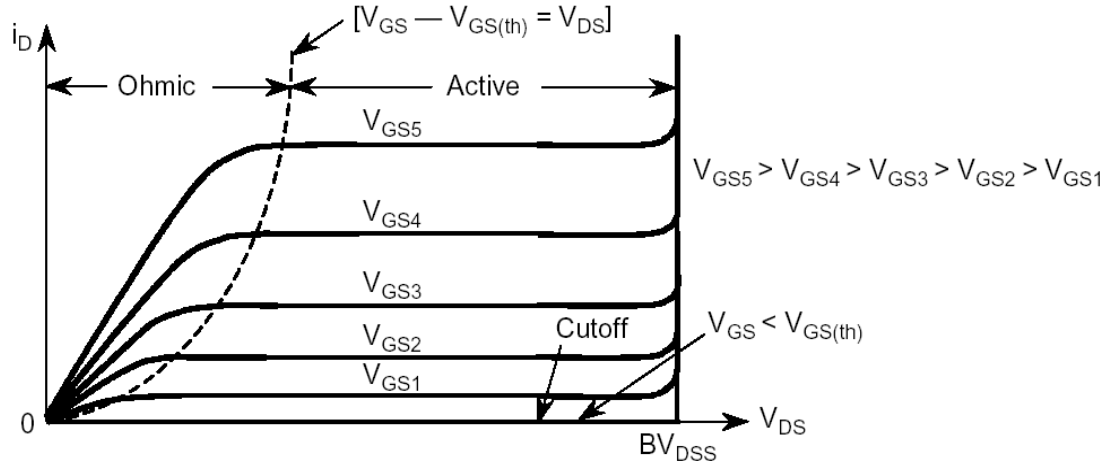
Krmilna moč napetostno krmiljenega MOSFET tranzistorja je zelo majhna, kljub temu pa takšna struktura tranzistorja povzroča v praksi zelo pereč problem. Povzroča ga izredno tanka plast oksidnega sloja pod krmilno elektrodo, v katerem se že pri majhnih napetostih (cca. 30 V) pojavijo velike električne poljske jakosti, ki zadostujejo za preboj (uničenje) oksidne izolacije. MOSFET tranzistorji so tako posredno zelo občutljivi na statično elektriko, zato moramo z njimi rokovati zelo previdno (prevodno in ozemljeno delovno mesto, orodje in obleka morajo biti takšni, da ne povzročajo statične napetosti).



Slika: Električna simbola n- in p-kanalnega MOS-FET tranzistorja z induciranim kanalom

Opis statičnih lastnosti MOS-FET-a z induciranim kanalom

S statičnimi razmerami označujemo napetostno tokovno odvisnost močnostnega tranzistorja, ko so vse veličine konstantne t.j. časovno nespremenljive. Lastnosti podajamo v obliki izhodne karakteristike, ki podaja razmerje toka I_D in napetosti U_{DS} v odvisnosti od krmilne napetosti U_{GS} .



Slika: Izhodna karakteristika $I_D = f(U_{DS})$ pri $U_{GS} = \text{konst}$

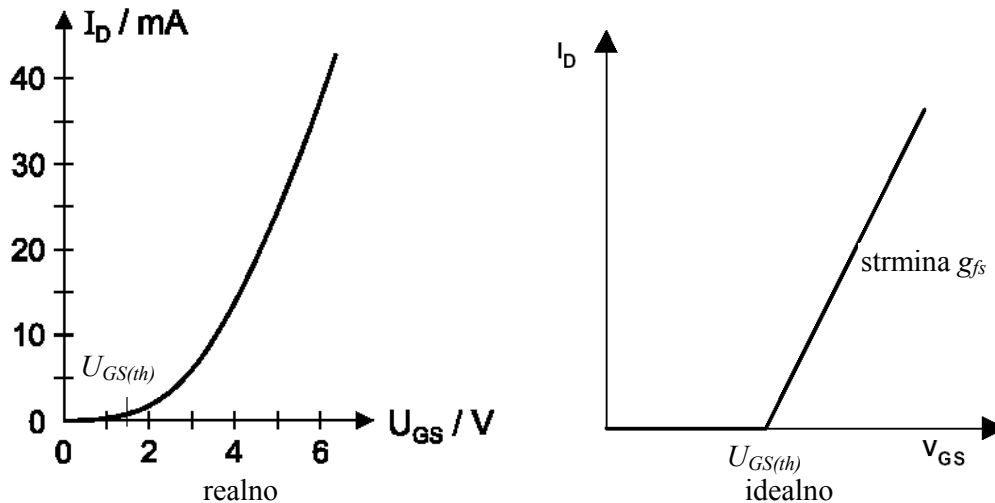
Izhodno karakteristiko delimo na dva dela, ki podajata električne razmere pri reverzni in prevodni polarizaciji spoja D-S. V prevodni polarizaciji je karakteristika sestavljena iz treh področij:

-prevodno zaporno stanje; ko je napetost vrat U_{GS} manjša od pragovne napetosti $U_{GS(th)}$. Tok, ki teče ob omenjenih pogojih, imenujemo I_{DSS} . S povečevanjem napetosti U_{DS} bo naraščal tudi tok I_{DSS} a le do meje $U_{(BR)DSS}$, ko nastopi plazoviti preboj v strukturi MOSFET tranzistorja.

Pragovna napetost $U_{GS(th)}$ je definirana kot minimalna napetost vrat pri kateri se začne oblikovati t.i. prevodni kanal med D in S spojem. Napetost $U_{GS(th)}$ se običajno definira pri pogoju $I_D = 250 \mu\text{A}$ in znaša od 2 V do 4 V za visokonapetostne močnostne tranzistorje in od 1 V do 2 V za nizkonapetostne (logic level) tranzistorje.

-linearno področje; nastopi ko presežemo pragovno napetost zaradi česar začne teči tok I_D . Za linearno področje je značilno, da je tok I_D krmiljen z napetostjo vrat, pri čemer njuno odvisnost podajamo s faktorjem prevodnosti (forward transconductance) g_{fs}

$$g_{fs} = \frac{dI_D}{dU_{GS}} = \frac{I_D}{U_{GS} - U_{GS(th)}}$$



Slika: Krmilna karakteristika $I_D = f(U_{GS})$ pri $U_{DS} = \text{konst}$; določitev strmine g_{fs}

-ohmsko področje; je doseženo takoj, ko je velikost toka omejena le z upornostjo vezja t.j. bremena. Tokovno napetostno razmerje v tem področju opišemo z upornostjo prevodnega kanala $R_{DS(on)}$, ki je odvisna od napetosti vrat in temperature polprevodniškega spoja. Za orientacijo omenimo, da se upornost $R_{DS(on)}$ pri dvigu temperature s 25°C na 125°C skoraj podvoji¹.

[P1]

Pri reverzno polarizirani napetosti U_{DS} je karakteristika MOSFET-a ekvivalentna karakteristiki diode. Vzrok temu je parazitna revezna dioda v strukturi MOSFET-a skozi katero teče revezni tok, amplituda katerega je odvisna od velikosti reverzne napetosti U_{DS} . Posledica revezne diode so dodatne izgube v polprevodniškem spoju, dosti bolj pereč pa je problem velikega sprostitvenega časa t_{RR} , ki negativno vpliva na dinamične sposobnosti MOSFET-a. Vezava dodatne zunanje diode z napetostjo kolena manjšo od $U_{GS(th)}$ in manjšim t_{RR} od parazitne diode je zato ustaljena praksa.

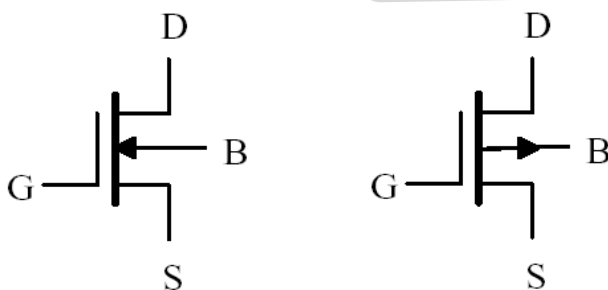
Tranzistor z vgrajenim kanalom (osiromašeni)

Tranzistor z vgrajenim kanalom ima pod krmilno elektrodo dodano sloj polprevodnika n-tipa, ki povezuje obe močnostni sponki S in D. Za razliko od tranzistorja z induciranim kanalom, prevaja tranzistor z vgrajenim kanalom tok tudi pri krmilni napetosti $U_{GS} = 0$.

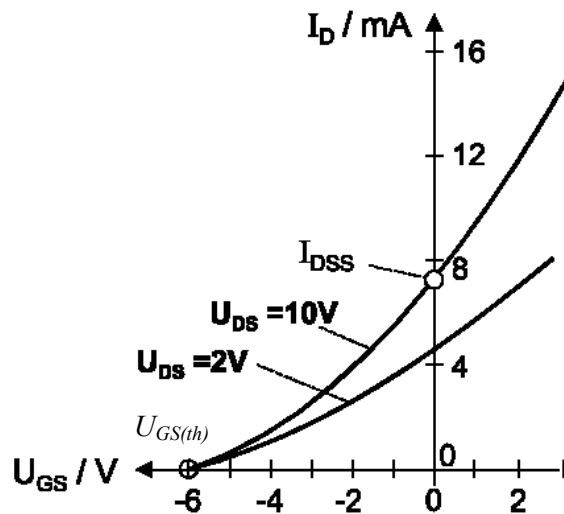
Če na krmilno elektrodo priključimo negativno napetost, se bo v vgrajenem n kanalu pojavilo področje z zmanjšano gostoto prostih nosilcev naboja-osiromašeno področje. Ker skozi to področje tok ne more teči, se prevodni kanal med S in D zoži.

V nasprotnem, če na krmilno elektrodo priključimo pozitivno napetost, slednja dodatno poveča širino prevodnega kanala, s čimer se tok skozi tranzistor poveča.

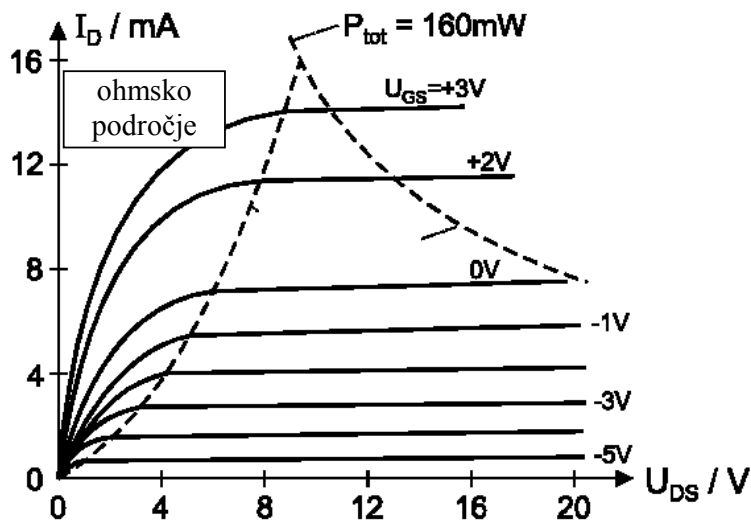
¹ Vir: Semikron priročnik



Slika: Električna simbola n- in p-kanalnega MOS-FET tranzistorja z vgrajenim kanalom



Slika: Krmilna karakteristika $I_D = f(U_{GS})$ pri $U_{DS} = \text{konst.}$ MOS-FET tranzistorja z vgrajenim kanalom

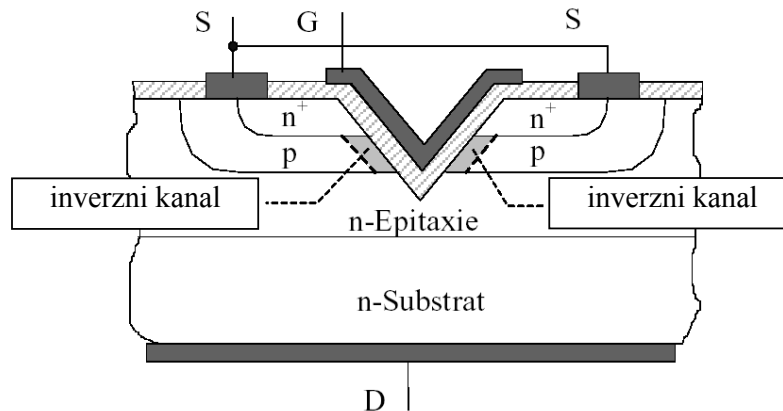


Slika: Izhodna karakteristika $I_D = f(U_{DS})$ pri $U_{GS} = \text{konst.}$ MOS-FET tranzistorja z vgrajenim kanalom

VMOS-FET tranzistor

Za opis prikazana prečna zgradba MOS tranzistorja v praksi ni dobila vidnega mesta, saj so proizvajalci kmalu spoznali, da je moč ugodnejše lastnosti (preklopni časi, medelektrodne kapacitivnosti) doseči s strukturami, ki omogočajo izgradnjo kratkih prevodnih kanalov. Najpogosteje uporabljeni sta DMOS (double diffused MOS) in VMOS (vertical MOS) struktura.

Zgradbo VMOS močnostnega tranzistorja kaže spodnja slika.



Slika: Struktura vertikalnega VMOS-FET tranzistorja

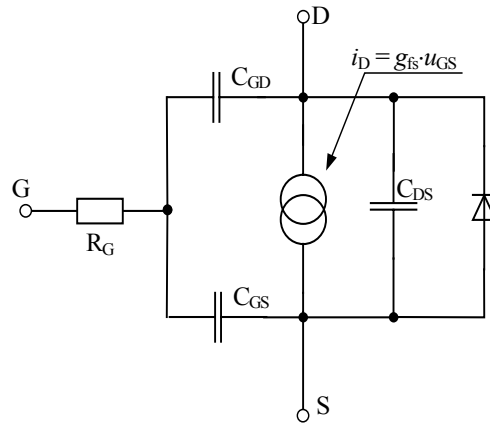
Vertikalna struktura slojev n^+ -p-n (epitaksialni) skozi katero se ustvari prevodni kanal je dosti ugodnejši tudi s proizvodnega stališča. Skozi vertikalne plasti je vrezan žleb v obliki črke V, ki se zajeda v spodnji epitaksialni n sloj, in vertikalno strukturo deli na dve polovici. Žleb ustvari tako dve lateralni (bočni, stranski) FET strukturi.

- vertikalna struktura omogoča zelo natančno izdelavo, s katero dosežemo zelo kratke dolžine inverznega kanala,
- večja dolžina žleba se odraža v povečanju preseka prevodnega kanala,
- krajša dolžina inverznega kanala ob velikem preseku prevodnega kanala vodi k občutnemu zmanjšanju njegove upornosti $r_{DS,on}$ in sočasnemu povečanju strmine krmilne karakteristike (g_f).

Opis dinamičnih lastnosti MOS-FET-a

Kot bomo videli v nadaljevanju imajo pri izbiri stikalnega močnostnega elementa dominantnejšo vlogo dinamične lastnosti elementa, iz katerih izhajajo tudi specifične zahteve, ki jih mora izpolnjevati prožilno vezje.

Dogajanje v času preklopnih manevrov opišemo s pomočjo nadomestne sheme, v kateri so ponazorjeni glavni vplivni elementi.



Slika: Nadomestna shema MOS-FET-a za analizo dinamičnih lastnosti

Pri tem so:

R_G upornost vrat,

C_{GS} medelektrodna kapacitivnost,

C_{GD} medelektrodna kapacitivnost,

C_{DS} medelektrodna kapacitivnost.

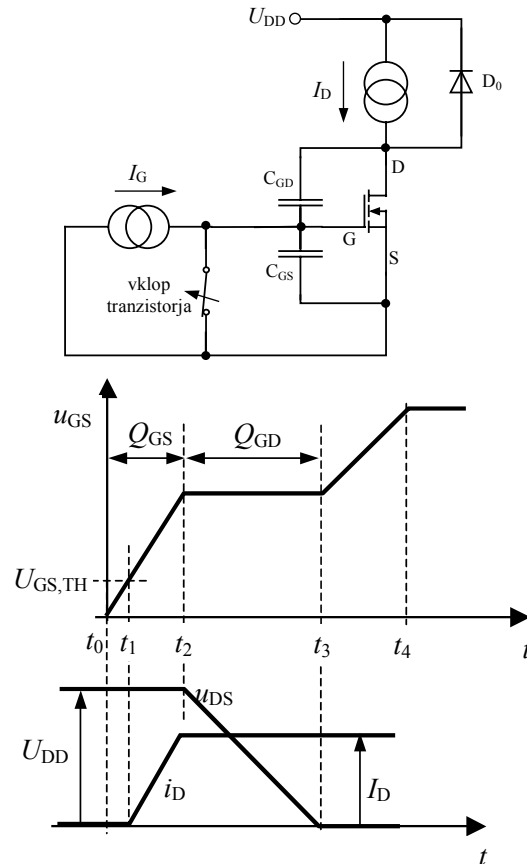
V nasprotju z ravnanjem v praksi, kjer pogosto zmotno mislimo, da na preklopne lastnosti vplivata le R_G in C_{GS} , so tokovno napetostne razmere tranzistorja in dimenzioniranje prožilnega vezja močno odvisne od medelektrodne kapacitivnosti C_{GD} . Kapacitivnost C_{GD} , ki kaže izrazito napetostno odvisnost, imenujemo tudi Miller-jeva kapacitivnost. Čeprav uravnotežena primerjava tranzistorjev različnih proizvajalcev z analiziranjem njihovih kapacitivnosti ni merodajna (različne ploščine vrat, faktor prevodnosti), omenimo še naslednjo praktičnejšo povezavo kapacitivnosti.

$C_{iss} = C_{GS} + C_{GD}$ vhodna kapacitivnost,

$C_{rss} = C_{GD}$ reverzna kapacitivnost,

$C_{oss} = C_{GD} + C_{DS}$ izhodna kapacitivnost.

Z načrtovalskega stališča nudi dosti merodajnejšo informacijo podatek o potrebnem električnem naboju, ki ga moramo dovesti vratom, da MOS-FET zanesljivo vklopi ali izklopi. Zaradi primerljivosti MOS-FET-ov različnih proizvajalcev se potrební naboj definira na testnem vezju, kjer z generatorjem konstantnega krmilnega toka I_G vklapljamó induktivno breme, kateremu je vzporedno vezana prostotečna dioda (slika xx). Potek karakterističnih veličin je podan za nazivni tok I_D in pri 20 % (ali 80 %) maksimalne napetosti U_{DS} .

Slika: Testno vezje in potek karakterističnih veličin²

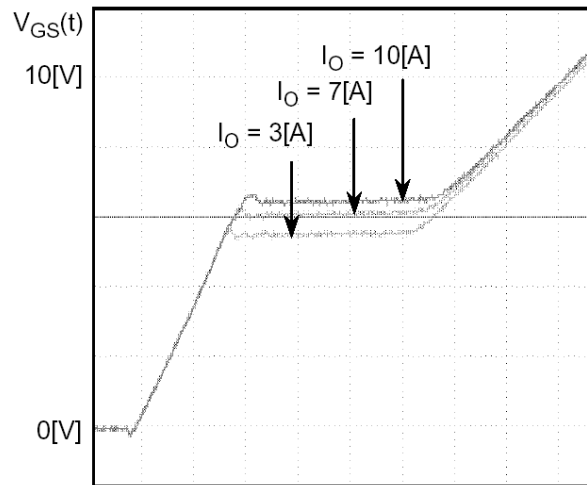
V trenutku, ko vklopimo tokovni vir, začne napetost U_{GS} linearno naraščati (polnita se C_{GS} in C_{GD}) vse dokler ne doseže pragovne napetosti $U_{GS(th)}$. Tedaj se vzpostavi prevodni kanal, zaradi česar začne tok I_D naraščati. V časovnem intervalu od t_1 do t_2 , ko se polni kondenzator C_{GS} (ker smo predpostavili, da je tedaj U_{DS} konstantna, dasiravno napetost malenkost pade), napetost U_{GS} in tok I_D linearno naraščata vse dokler tok I_D ne doseže ustaljene vrednosti.

V trenutku t_2 je kondenzator C_{GS} popolnoma napolnjen, zato začne napetost U_{DS} upadati, medtem ko ostaja tok I_D konstanten. Ko napetost U_{DS} upada, se ves krmilni tok preusmeri v polnjenje Millerjeve kapacitivnosti C_{GD} , ki traja mnogo dlje kot polnjenje C_{GS} . Vzrok temu je velik napetostni gradient du_{DS}/dt , ki je kot vidimo omejen z velikostjo krmilnega toka.

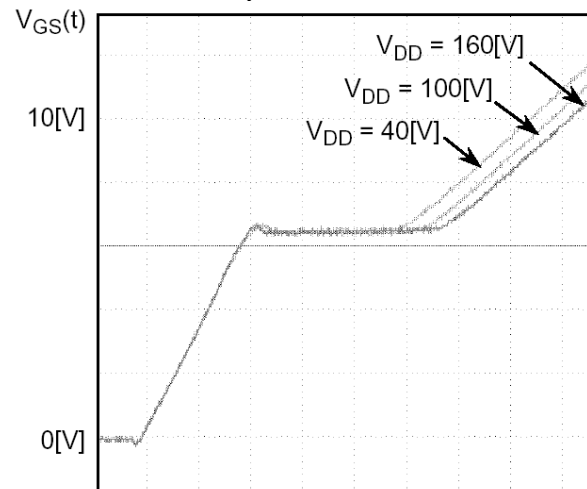
V trenutku t_3 , ko je kondenzator C_{GD} popolnoma napolnjen t.j. ko je U_{DS} enaka $R_{DS(on)}I_D$, začne napetost U_{GS} , zaradi polnjenja C_{GS} in C_{GD} (opazna je manjša strmina kot na začetku), ponovno naraščati. Napetost U_{GS} se ustali pri napajalni napetosti tokovnega vira. Vsota električnega naboja $Q_{GS} + Q_{GD}$, ki steče do trenutka t_3 , predstavlja minimalni naboj za vklop MOS-FET-a, ki ga moramo v praksi vedno preseči. Vzrok temu so tolerance proizvodov kot tudi dejstvo, da v praksi za proženje uporabljamo pogosteje napetostni vir namesto tokovnega.

² Vir: Power MOSFET Basics, Vrej Barkhordarian, International Rectifier /www.

Prikazani dinamični model MOS-FET-a in z njim povezana razlaga dinamičnih lastnosti sta povsem ustrezna kar je razvidno tudi iz eksperimentalnih rezultatov³, ki jih podaja proizvajalec Fairchild za različne obratovalne pogoje.



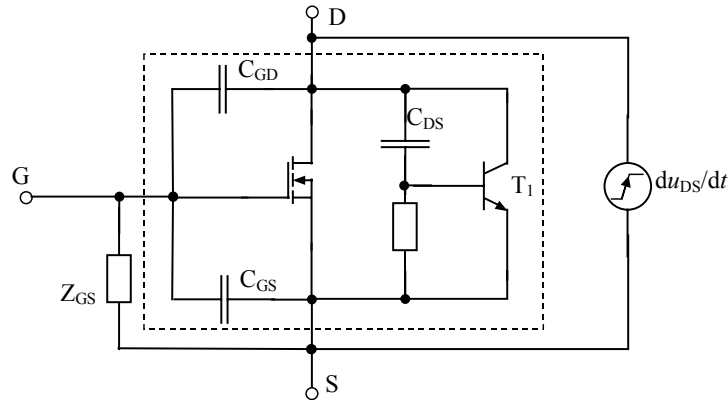
Slika: Potek U_{GS} pri različnih tokovih $I_D = I_O$



Slika: Potek U_{GS} pri različnih napetostih U_{DS}

Oglejmo si na tem mestu še en parameter MOS-FET-a, ki na prvi pogled nima nikakršnega vpliva na dimenzioniranje prožilnega vezja, t.j. maksimalni dopustni gradient napetosti U_{DS} . Njegov vpliv si razložimo s pomočjo nadomestne sheme MOS-FET-a v izklopljenem stanju $U_{GS} = 0$ V.

³ Fairchild Semiconductor, AN9010, MOSFET Basics,



Slika:

Ko na izklopljen MOS-FET priključimo generator napetosti z veliko strmino du/dt , steče ob pozitivni strmini skozi C_{GD} kapacitivni tok, zaradi česar lahko napetost

$$u_{GS} = R_G \cdot C_{GD} \frac{du_{DS}}{dt}$$

preseže pragovno vrednost. V tem primeru pride do neslutnih posledic, saj bi moral tranzistor ostati izklopljen. Nastanek takšnih situacij preprečimo s pravilnim dimenzioniranjem impedance krmilnega tokokroga ali z razbremenilnimi vezji (RC snubber).

Izvedbe prožilnih vezij MOS-FET tranzistorjev

Nalogo prožilnega vezja lahko skraćeno opišemo kot izmenično polnjenje in praznjenje medelektrodnih kapacitivnosti z želeno hitrostjo in amplitudo. Če povzamemo, potem mora biti prožilno vezje obvezno sposobno:

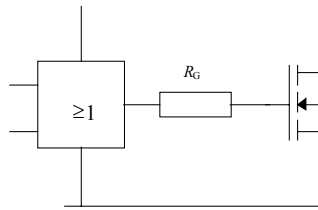
- generirati tok želene amplitude s čimer vplivamo na preklopne čase,
- generirati ustrezno napetost vrat U_{GS} , ki MOSFET-u zagotavlja zanesljivo obratovanje v ohmskem področju s čimmanjšo upornostjo $R_{DS(on)}$,
- zagotoviti potrebno prožilno moč

$$P_G = Q_G \cdot U_{GS} \cdot f,$$

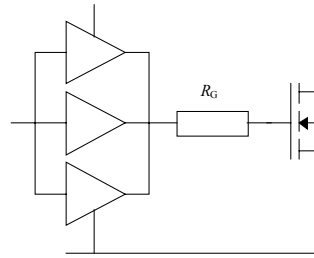
kjer je Q_G električni naboj, ki je potreben, da krmilna napetost zraste na U_{GS} . f je stikalna frekvenca.

- preprečiti nastanek naključnih vklopov zaradi du/dt efekta.

Majhna krmilna moč MOSFET-a omogoča, da le-tega prožimo kar s pomočjo standardnih (15 V) CMOS digitalnih vezij, kot to kaže slika. Zavedati pa se moramo, da potrebuje MOSFET za vklop oziroma izklop, kljub temu, da ga prištevamo med napetostno krmiljene elemente, relativno velik tokovni impulz. Slednjega večina kombinacijskih CMOS vezij ni sposobna generirati, zato uporabljamo za proženje raje t.i. driver-je oz. buffer-je, ki jih pogosto vežemo vzporedno, da povečamo tokovno zmogljivost krmilnega impulza (slika 2).



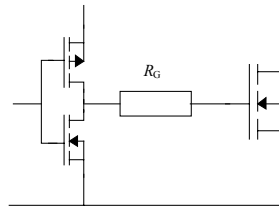
Slika 1:



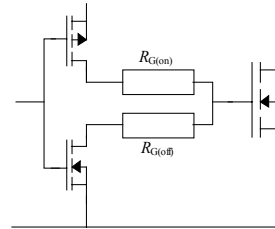
Slika 2:

Kjer tokovna zmogljivost takšnih prožilnih vezij kljub temu ne ustreza, ali je neustrezna njihova odpornost na elektromagnetne motnje, potem uporabljamo prožilna vezja zgrajena iz diskretnih elementov. Za njih je značilna izhodna stopnja, ki je skoraj vedno zgrajena v t.i. push-pull vezavi iz dveh komplementarnih bipolarnih ali MOSFET tranzistorjev.

Push-pull vezava zagotavlja namreč majhno upornost tako tedaj, ko prevaja zgornji tranzistor, kot tudi tedaj, ko prevaja spodnji, s čimer preprečimo nastanek naključnih vklopov zaradi du/dt efekta. Pri dimenzioniranju diskretnega prožilnega vezja pa ne smemo prezreti možnega nastanka kratkotrajnih kratkostičnih tokov skozi komplementarni par tranzistorjev, ki lahko stečejo ob vsakokratnem prehodu krmilnega pulza, zaradi nezadostne amplitudne rezerve krmilnih napetosti obeh tranzistorjev, ki povzroči sočasno kratkotrajno prevajanje. Omenjeni pojav lahko deloma omejimo s prožilnim vezjem na sliki, kjer je upor v krmilnem tokokrogu R_G , s katerim določamo hitrost preklopov, nadomeščen z uporoma $R_{G(on)}$ in $R_{G(off)}$, ki sta vezane v serijo z emitorjema komplementarnih tranzistorjev. Slednje omogoča neodvisno določitev preklopnih hitrosti vklopa in izklopa tranzistorja.



Slika 3:



Slika:

Različne preklopne hitrosti je možno doseči tudi pri predhodnih rešitvah, in sicer tako, da krmilni upor R_G premostimo z diodo, ki zagotavlja majhno upornost v trenutku praznenja medelektrodne kapacitivnosti C_{GS} .