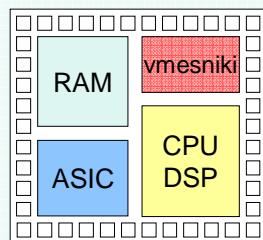




Andrej Trost

Načrtovanje integriranih vezij

www: <http://lniv.fe.uni-lj.si/>knjiga: A. Trost
Načrtovanje digitalnih vezij
v jeziku VHDL, FE 2007

Tehnologija digitalnih vezij

ASIC**Application Specific IC**

naročniška

polnaročniška

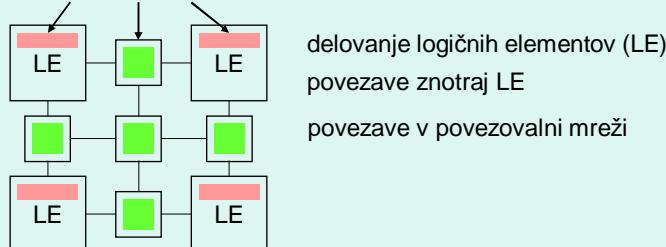
programirljiva

FPGA in CPLD

- načrtovanje na nivoju tranzistorjev
- uporabimo knjižnico elementov
- programiramo že pripravljeno vezje

Programirljiva vezja / procesorji

- programirljivo vezje
 - programski biti določajo strukturo (konfiguracijo)

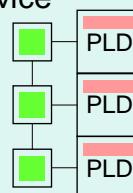


- mikroprocesor
 - program določa ukaze, ki jih CPU izvaja

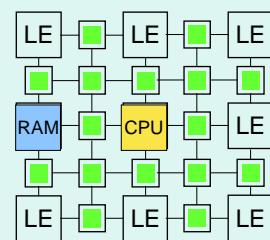


Programirljiva vezja CPLD/FPGA

- Complex Programmable Logic Device
 - polje PLD gradnikov
 - Flash tehnologija
 - manjša vezja



- Field Programmable Gate Array
 - matrika LE in povezav
 - CMOS SRAM tehnologija
 - zelo velika vezja
 - platform FPGA ima v matriki tudi RAM, CPU bloke...



Lastnosti programirljivih vezij

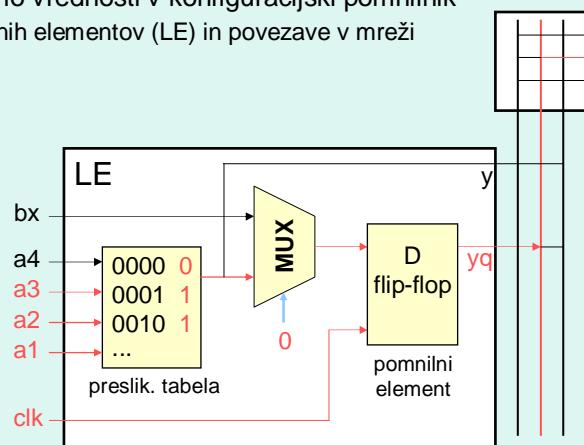
- vezja so vnaprej izdelana
 - ne načrtujemo na fizičnem nivoju
 - nimamo stroškov priprave proizvodnje
- krajši čas načrtovanja
- v primerjavi z ASIC so počasnejša, imajo večjo površino in porabo
 - aktivni elementi v povezovalni mreži vnašajo zakasnitve
 - del vezja je namenjen programiranju
 - gradniki vezja niso nikoli 100% izkoriščeni

Delovanje programirljivih vezij

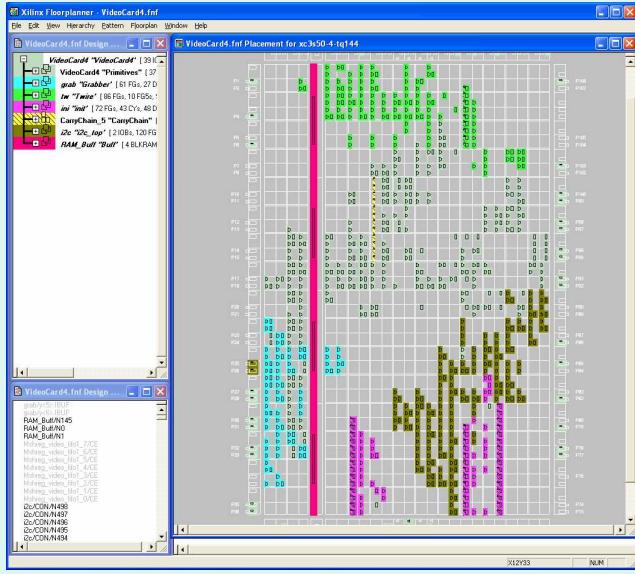
- pri programiranju vpišemo vrednosti v konfiguracijski pomnilnik
 - določa delovanje logičnih elementov (LE) in povezave v mreži

Tehnološka preslikava

- načrtovano vezje preslikamo v strukturo programir. vezja



Tehnološko preslikano vezje



Xilinx FPGA

- rezultat avtomatične preslikave
- načrtovanje vezja poteka na višjem nivoju

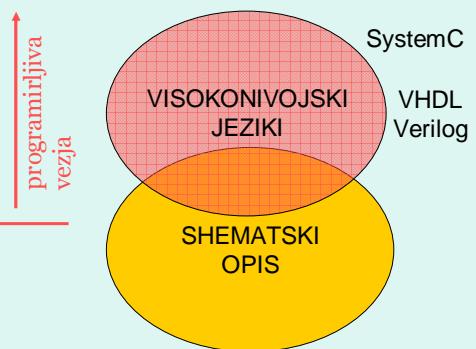
xc3s50 tq144
500 preslik. tabel (FG)
280 D flip-flopov
8 kB DPRAM
~ 270k log. vrat

Načrtovanje namenskega vezja

Nivoji opisa vezja:

- specifikacija
- postopkovni (behavioral)
- funkcijski (dataflow, RTL)
- logični
- nivo transistorjev
- geometrija vezja (layout)

Način opisa:



Visokonivojski jeziki za opis vezja

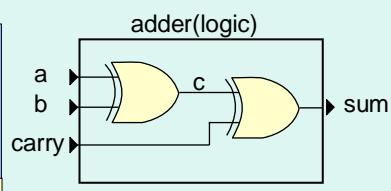
- Standardizirani jeziki (IEEE standard)
 - VHDL (*Very high-speed IC Hardware Description Language*)
 - Verilog
- Funkcionalna in časovna simulacija vezja
 - s simulacijo preverimo delovanje vezja
- Sinteza vezja
 - pretvorba vezja na nivo logičnih vrat in flip-flopov

Funkcijski opis vezja v VHDL

- stavki opisujejo gradnike vezja
 - vrstni red stakov ni pomemben (sočasni stavki)

```
entity adder is
  port ( a, b : in std_logic;
         carry : in std_logic;
         sum : out std_logic);
end adder;

architecture logic of adder is
  signal c : std_logic;
begin
  sum <= c xor carry;
  c <= a xor b;
end one;
```

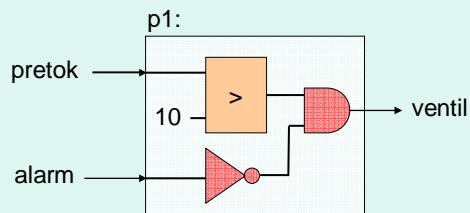


deklaracija notranjega
signala

Postopkovni opis vezja v VHDL

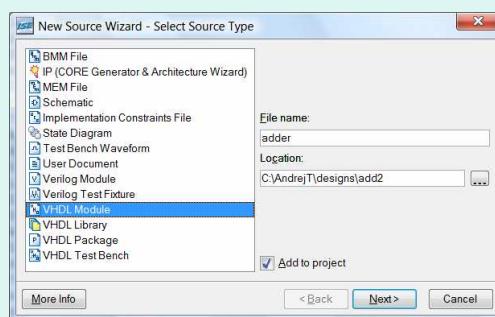
- v procesu opišemo delovanje vezja
 - zgradbo vezja določi program za sintezo vezij
 - vrstni red stavkov je pomemben (sekvenčni stavki)

```
architektura
p1: process
    ventil <= '0';
    if pretok > 10 then
        ventil <= '1';
    end if;
    if alarm = '1' then
        ventil <= '0';
    end if;
end process;
```



Načrtovalska orodja

- razvojna orodja proizvajalcev prog. vezij
 - Xilinx ISE Webpack (10.1)
 - Altera Quartus® II Web Edition (8.0)
 - Lattice ispLEVER Starter (7.1)
- različne možnosti opisa:
 - generator IP, shema, diagram stanj, Verilog in VHDL



Xilinx ISE
Glej: Programska oprema
<http://lniv.fe.uni-lj.si/ProgOprema.html>

Koraki načrtovanja

1. opis vezja in simulacija (Design Entry Utilities)
2. sinteza logičnega vezja (Synthesize)
3. prevajanje in tehnološka preslikava
 - določimo lokacije priključkov (User Constraints)
4. izdelava prog. datotek in nalaganje vezja

Proces za CPLD



Proces za FPGA



Sinteza vezja

- avtomatična pretvorba VHDL opisa na nivo logičnih struktur
- po sintezi pregledamo poročilo !

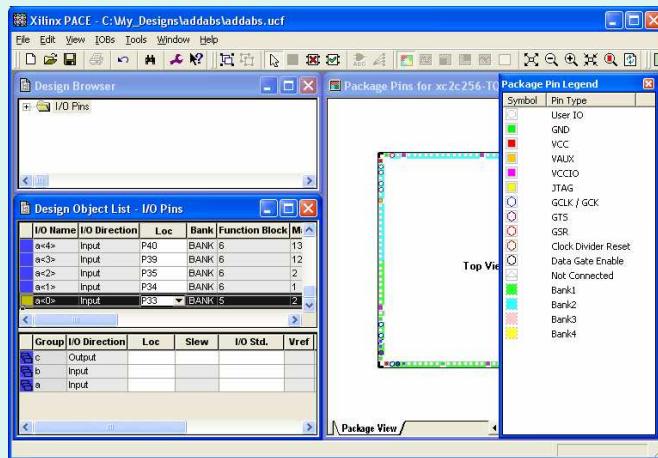
```
=====
*          HDL Synthesis
=====
Synthesizing Unit <button>.
Related source file is "D:/designs/ndes/button/button.vhd".
WARNING:Xst:737 - Found 4-bit latch for signal <sra>.
Found 16x7-bit ROM for signal <led>.
Found 8-bit tristate buffer for signal <USBdata>.
Found 1-bit register for signal <sseg>.
Found 1-bit register for signal <blon>.
Found 19-bit up counter for signal <div>.
Found 8-bit up counter for signal <st>.
Found 1-bit register for signal <strobe>.
Found 1-bit register for signal <strobel>.

Summary:
        inferred    1 ROM(s).
        inferred    2 Counter(s).
        inferred    4 D-type flip-flop(s).
        inferred    8 Tristate(s).

Unit <button> synthesized.
```

Določanje zunanjih priključkov

- pred tehnološko preslikavo določimo zun. priključke
 - User Constraints > Assign Package Pins
 - vsakemu zunanjemu signalu nastavimo lokacijo (LOC)



5. Nalaganje vezja

- oblikujemo datoteke za programiranje
 - Generate Programming File
- preko vmesnika JTAG naložimo konfiguracijsko vezja
 - postopek je odvisen od razvojnega sistema



Digilent CPLD
CoolRunner II



AVNET Spartan-3A Eval Kit

LNIV Spartan-3
Razvojni modul

