

Procesorski sistemi v telekomunikacijah  
Gradniki in povezovanje gradnikov



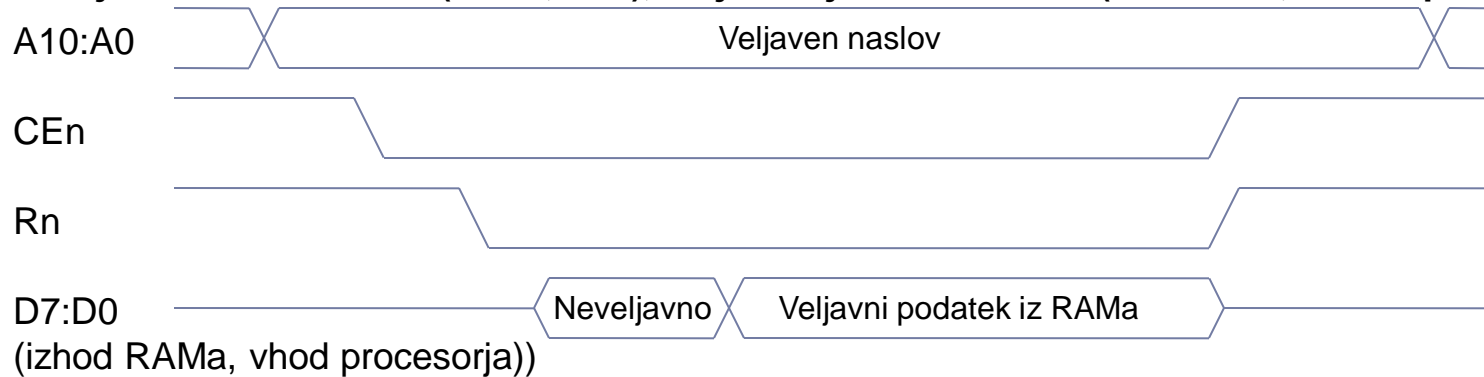
(c) Arpad Bűrmen, 2010-2012



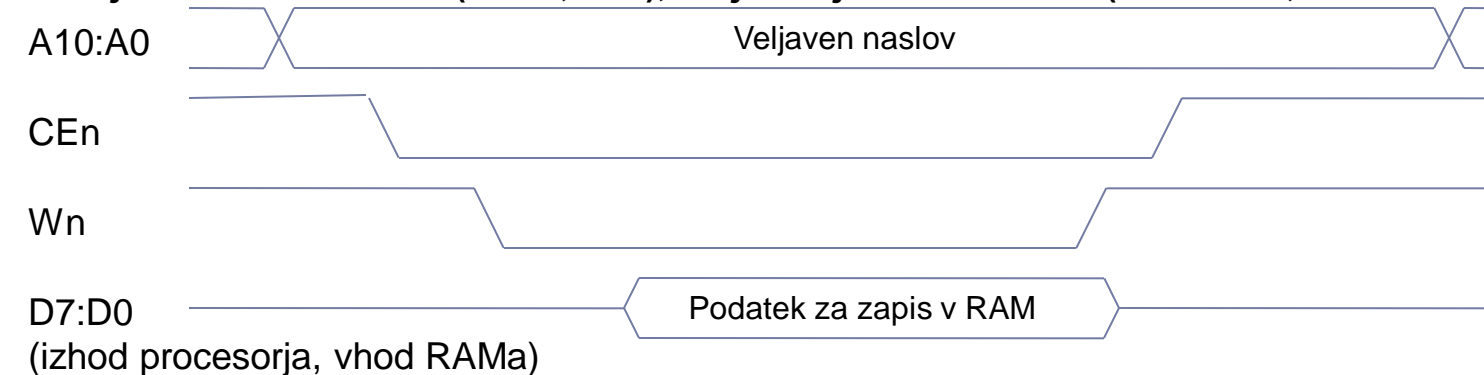
# Asinhroni vmesnik do RAMa

- ▶ Priključki:  $m$  naslovnih linij ( $A_x$ ),  $n$  podatkovnih linij ( $D_x$ ), linija “priklop vezja” (Chip Enable, CE), beri (R), piši (W)

**Branje 2k x 8bit SRAMa ( $m=11$ ,  $n=8$ ), linija  $W_n$  je ves čas na 1 (ni aktivna, ker ne pišemo)**

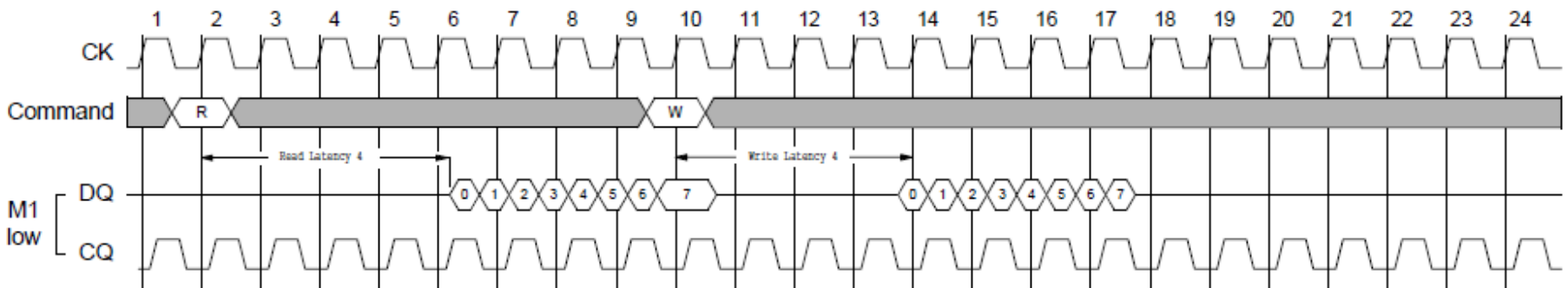


**Pisanje 2k x 8bit SRAMa ( $m=11$ ,  $n=8$ ), linija  $R_n$  je ves čas na 1 (ni aktivna, ker ne beremo)**



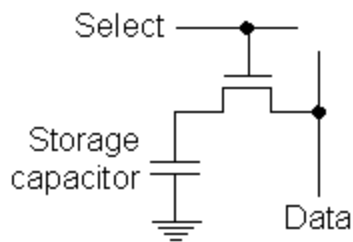
# Sinhroni vmesnik do RAMa

- ▶ Prenos podatkov sinhroniziran z urinim signalom
  - ▶ Po postavitvi naslova in preteku prehodnega časa (**latence**) se začne prenos vsebine večih zaporednih celic. Prenese se po ena celica na urin cikel (**burst** prenos).
  - ▶ **DDR (Double Data Rate)**: en podatek se prenese ob prednji, en pa ob zadnji fronti ure (2 podatka na urin cikel)
- Branje/pisanje, 2Mx36bit DDR SRAM, 4 cikli latence, 8 podatkov/burst,  $f_{CLK,max}=300MHz$
- Cikel**  $f_{CLK} \times 2 \text{ podatka/cikel} \times 36 \text{ bitov/podatek} / 8 \text{ bitov/byte} = 2.7GB/s$

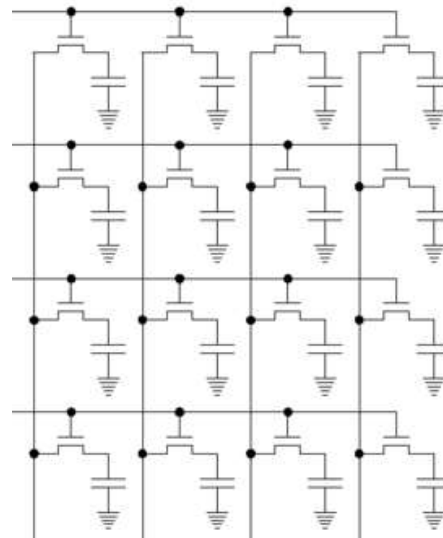


# Dinamični RAM (DRAM)

- ▶ Podatek se hrani v kondenzatorju  
Najmanj 1 kondenzator in 1 tranzistor na bit.
- ▶ Biti so razporejeni v pravokotno shemo (vrstice, stolpci),  
npr. 8Mx8bit vezje = 64Mbit = 8192 vrstic x 8192 stolpcev
- ▶ Parazitni tokovi - Kondenzator spreminja naboj (napetost).  
Potrebno osveževanje podatkov (refresh) vsake toliko časa.



DRAM celica (1 bit)



Pravokotna shema celic  
(4 x 4) za 4x4bit DRAM

# Osveževanje DRAM, branje in pisanje

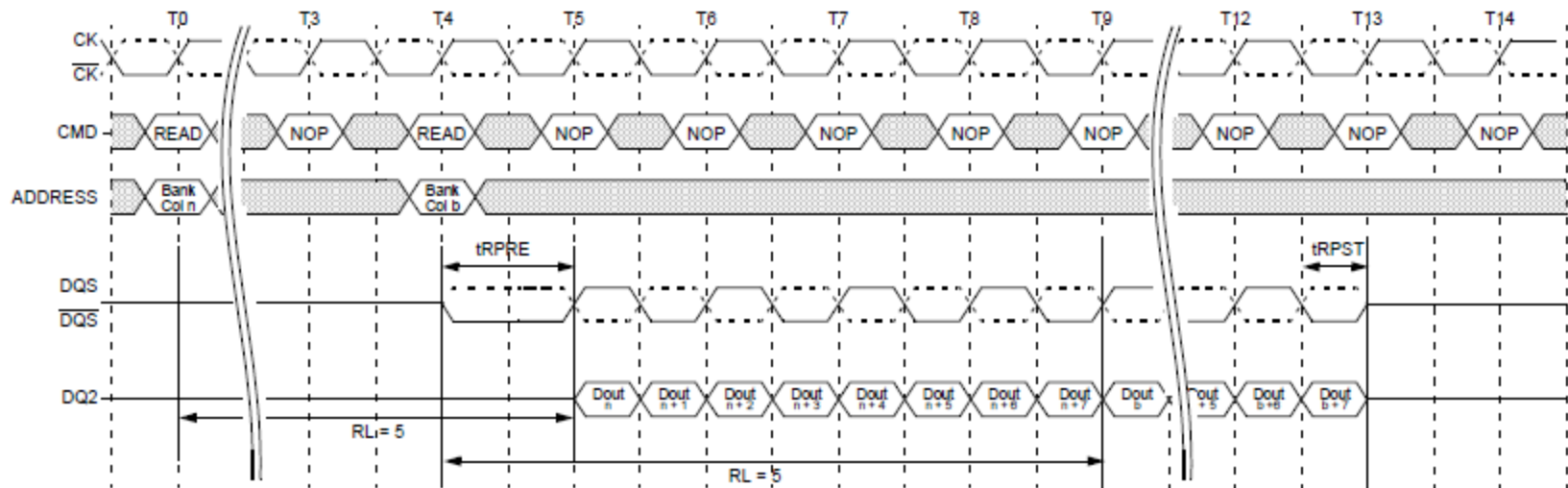
---

- ▶ Tipično osvežimo podatek na 50ms
- ▶ Sodobna DRAM vezja: vgrajen podsklop za osveževanje. Sprožimo ga vsake toliko časa z aktivacijo posebnega vhoda.
- ▶ Osveževanje poteka za vse bite v eni vrstici naenkrat.
- ▶ 8192 vrstic ... osveževanje sprožimo na  $50\text{ms}/8192=6\mu\text{s}$
- ▶ Osveževanje traja okrog 50-100ns.
- ▶ Med osveževanjem branje in pisanje ni mogoče.
- ▶ Sodobni DRAMi: SDRAM - sinhron vmesnik, burst prenos, DDR (prenos podatka ob prednji in zadnji fronti ure)
- ▶ Naslavljanje lahko poteka v dveh delih – multipleksiran naslov (naslov se pošlje SDRAMu v 2 ciklih;  $\frac{1}{2}$  naslova na urin cikel)

# Primer: DDR3-1066 SDRAM

## Samsung K4B4G0846A-HYH9

- ▶ 512M x 8bitov (29-biten naslov, 8-bitni podatki) = 4Gb = 512MB
- ▶ Organizacija: 8 bank po 65536 vrstic x 1024 stolpcev x 8 bitov
- ▶  $f_{CLK} \leq 533\text{MHz}$  (DDR3-1066), latenca = 7 ciklov
- ▶ Burst prenos po 8 besed zaporedoma (8x8bitov)
- ▶ Hitrost prenosa:  $f_{CLK} \times 2 \text{ besedi/cikel} \times 1\text{byte/besedo} = 1066\text{MB/s}$



Še en primer - DDR3 – branje podatkov, latenca=5, dolžina burst prenosa=8

# Pretežno bralni pomnilniki

## Read-Only Memory (ROM)

- ▶ Običajno njihove vsebine med delovanjem sistema ne spreminjamo.
- ▶ ROM vezja – programirana ob izdelavi (z masko), nezbrisljiva
- ▶ PROM vezja – 1x programirljiva (električno), nezbrisljiva
- ▶ EPROM – kot PROM, le da so zbrisljiva z UV svetlobo
- ▶ EEPROM – kot EPROM, le da so električno zbrisljiva
- ▶ Podatki se ohranijo tudi ob odklopu napajanja.
- ▶ Brisanje mnogo počasnejše od branja.
- ▶ Življenjska doba: približno 1000 ciklov brisanje/programiranje



EPROM vezje



Naprava za brisanje EPROM vezij



# Pretežno bralni pomnilniki

## FLASH pomnilnik

---

- ▶ Kot EEPROM, le da je brisanje hitreje. Življenjska doba  $10^5$ - $10^6$  brisanj.
- ▶ Izvedba: MOS tranzistorji s plavajočimi (izoliranimi) vrati v katerih so lahko ujeti elektroni, ki spremenijo pragovno napetost tranzistorja.
- ▶ Programiranje = odlaganje elektronov na plavajoča vrata
- ▶ Brisanje = odstranjevanje elektronov s plavajočih vrat
- ▶ NOR FLASH: brišemo ga po blokih, programiramo pa po en bit ali besedo naenkrat. Kadarkoli možen dostop do podatka na poljubnem naslovu.

Uporaba: hranjenje programa

- ▶ NAND FLASH: dostop do podatkov podoben kot pri diskih. Beremo/pišemo v enem kosu po eno stran naenkrat (običajno 512bytov).

Uporaba: kot nadomestek za trdi disk.

Primer: SD/SDHC/SDXC pomnilniške kartice

- 
- ▶ 9 Vmesnik za SD kartice je pogosto že vgrajen v mikroprocesorje npr. : i.MX27 (jedro ARM9) ima tak vmesnik

# Pretežno bralni pomnilniki

## Vmesniki za dostop do podatkov

### ▶ **Vzporedni vmesnik**

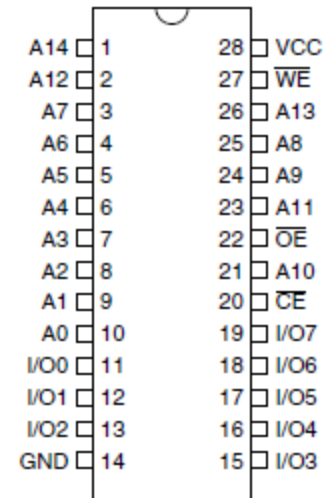
Npr.: ATMEL AT28HC256 - EEPROM

32k x 8bit, vzporedni vmesnik, dostopni čas (branje) 7

15 naslovnih linij, 8 podatkovnih linij, CE (chip enable)

OE (output enable – read) in WE (write enable)

Programiranje: 3-10ms/stran (1stran = 64 bytov)

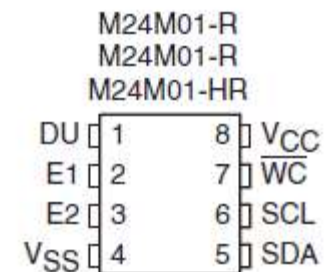


### ▶ **Serijski vmesnik (npr. I<sup>2</sup>C, SPI ali Microwire)**

Npr.: ST M24M01-HR – serijski I<sup>2</sup>C EEPROM

1Mbit, vmesnik tvorijo linije SCL, SDA in E (enable)

Hitrost ure (SCL): do 1MHz



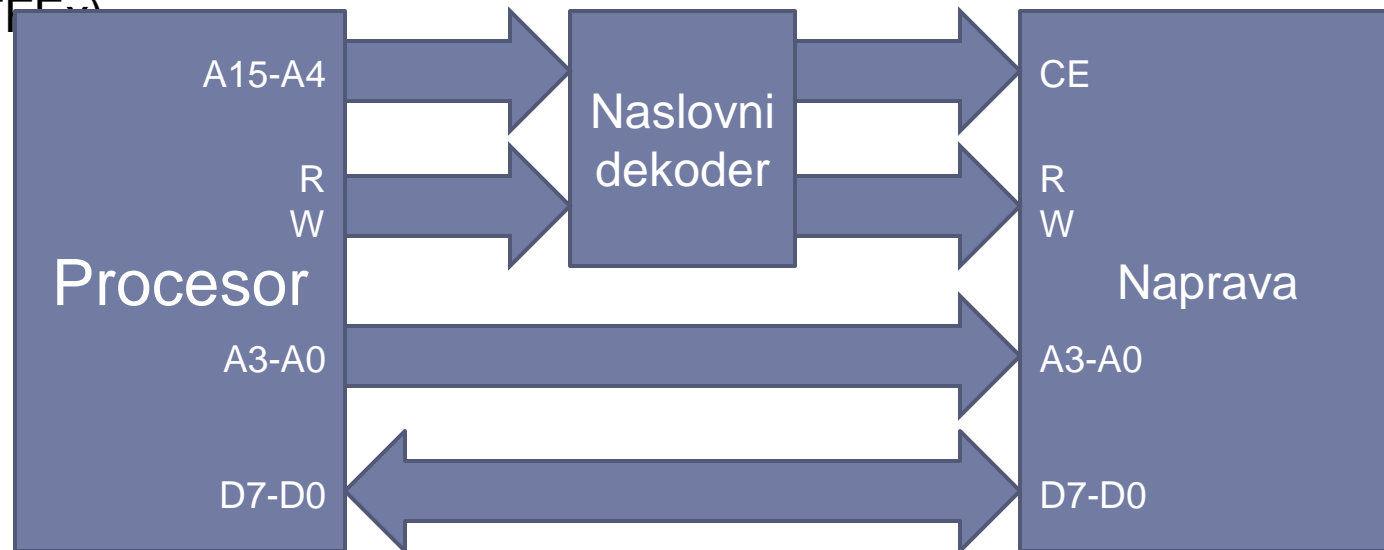
# A/D in D/A pretvorniki

---

- ▶ Za pretvorbo analognih v digitalne signale (A/D) in obratno (D/A)
- ▶ Za zanesljivo pretvorbo je potreba stabilna referenčna napetost
- ▶ Vhodni in izhodni del sistemov za digitalno obdelavo signala
- ▶ Nekateri imajo vmesnik za priklop na vodilo mikroprocesorja, Bolj pogosti so I<sup>2</sup>C, SPI ali podobni vmesniki
- ▶ Včasih so vgrajeni že v mikroprocesor (npr. LPC2138)
- ▶ n-bitni A/D pretvornik: ločljivost =  $V_R/2^n$   
Npr.: 10 bitov pri referenčni nap. 2V: ločljivost= 2.0mV  
Problem: šum!
- ▶ A/D: število vzorcev na sekundo = frekvenca vzorčenja ( $f_s$ )  
Signal mora biti frekvenčno omejen z  $f_s/2$   
(če nočemo pojava lažnih frekvenc - aliasing)
- ▶ <sup>11</sup> Izhod D/A mora skozi filter, ki odstrani frekvence nad  $f_s/2$

# Več naprav na eno vodilo ...

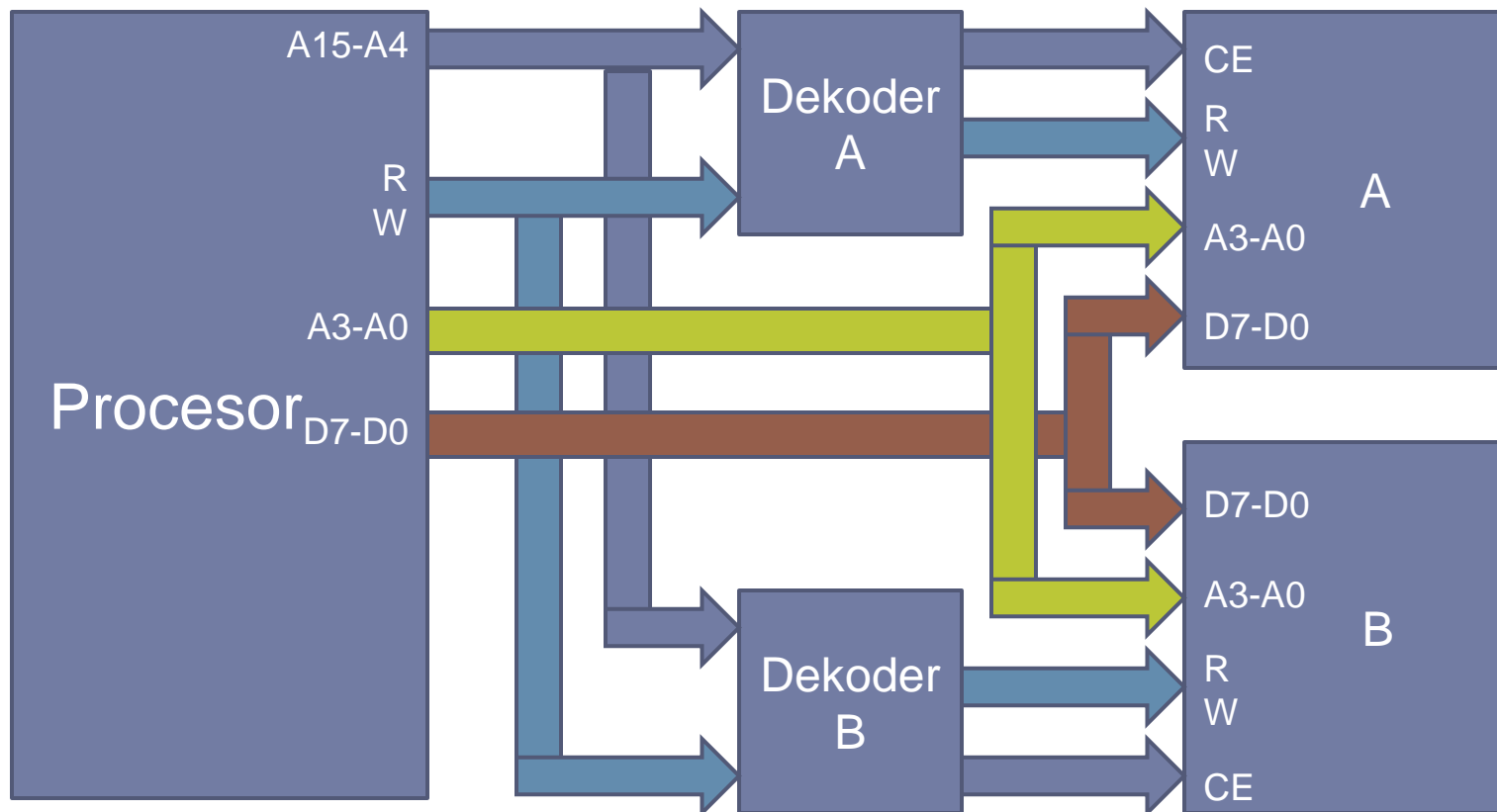
- ▶ Naprava s 16 8-bitnimi registri (4 naslovne sponke, 8 podatkovnih sponk)
- ▶ Priklop na mikroprocesor s 16 naslovnimi linijami in 8 podatkovnimi linijami
- ▶ Želimo, da se 16 registrov te naprave pojavi na naslovih \$FFE0-\$FFEF
- ▶ Ko je naprava naslovljena, so linije A15-A5 na 1, linija A4 pa na 0 (naslov \$FFF)



- ▶ Dekoder aktivira “chip enable” (CE) vhod, če so linije A15-A5 na 1, linija A4 pa na 0.
- ▶ Signala R (read) in W (write) dekoder spusti skozi le če je aktiviran CE.
- ▶ Če ni, sta R in W na 0 (neaktivna).

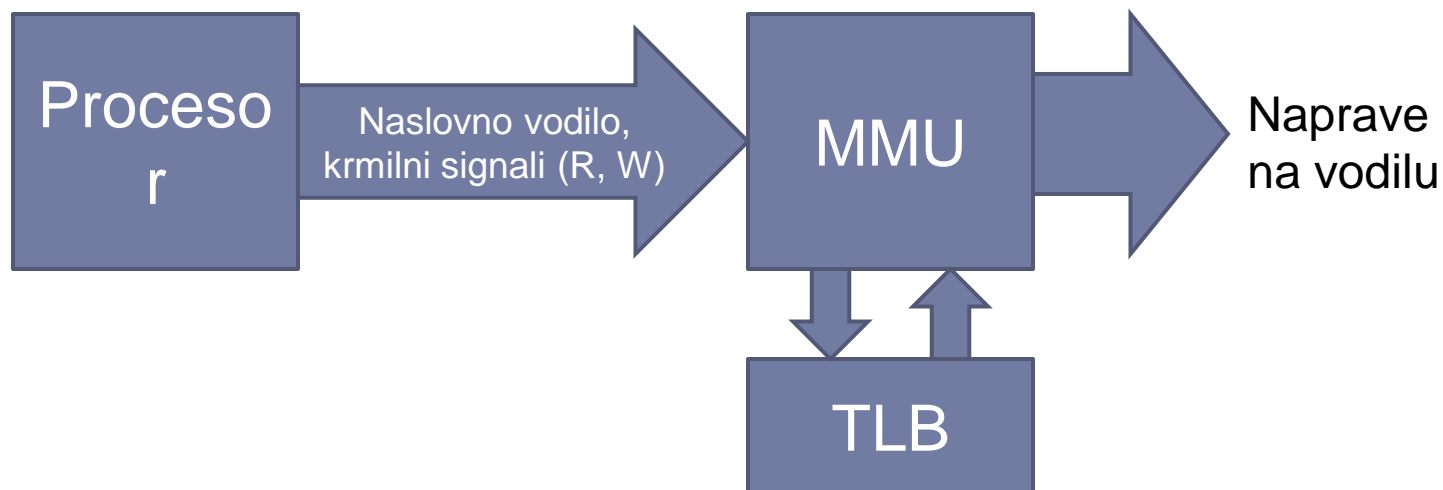
## ... več naprav na eno vodilo

- ▶ Dve napravi, ena (A) na \$FFF0-\$FF0F, druga (B) na \$FFE0-\$FFEF
- ▶ Dekoder A aktivira CE, če so linije A15-A8 na 1 in A7-A4 na 0
- ▶ Dekoder B aktivira CE, če so linije A15-A5 na 1 in A4 na 0



# Enota za upravljanje s pomnilnikom Memory Management Unit (MMU)

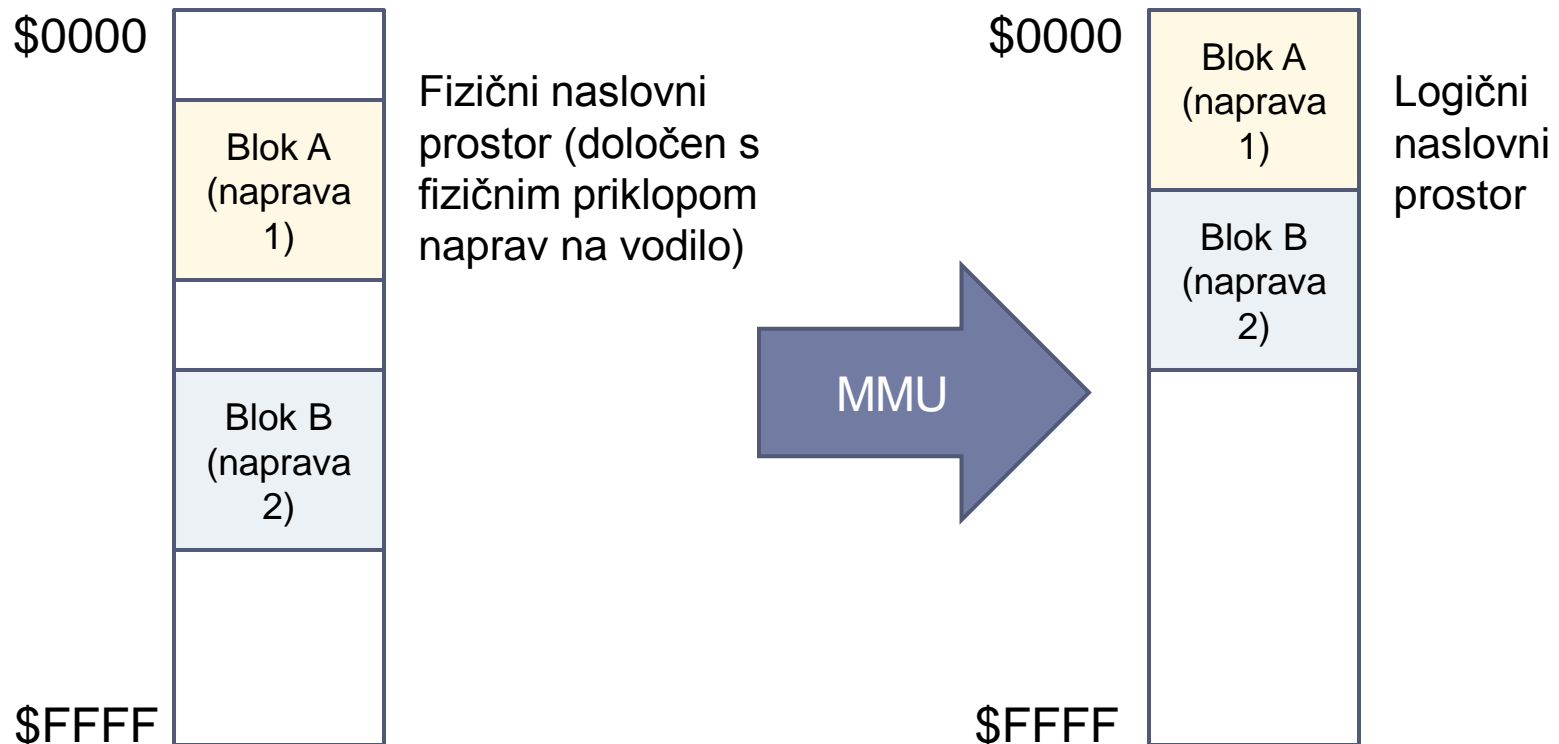
- ▶ Opravlja preslikavo fizičnih naslovov, ki so določeni z vezavo dekoderjev med vodilom in napravami na vodilu, v logične naslove
- ▶ Pravila preslikave (Page Table Entry, PTE) so v tabeli (Page Table), ki je lahko v pomnilniku, lahko pa je tudi kje drugje (npr. pri MC68451 v samem MMUju).
- ▶ Ker je dostop do pomnilnika počasen, ima MMU ponavadi še neke vrste predpomnilnik za PTEje – Transaction Lookaside Buffer (TLB).
- ▶ Preslikavo lahko določamo programsko s spreminjanjem PTEjev.



# MMU

## Preslikava fizičnih v logične naslove

- ▶ Procesor sedaj dela samo še z logičnimi naslovi
- ▶ Preslikavamo lahko bloke takih velikosti, kot jih določa/dovoljuje MMU. ARM926:1 blok = 1KiB, 4KiB, 64KiB ali 1MiB. Tabela PTEjev se hrani v pomnilniku.



# MMU

## Zaščita pomnilnika

---

- ▶ Posameznim blokom v logičnem naslovnem prostoru lahko z ustreznimi PTEji določimo pravice dostopa (branje, pisanje)
- ▶ MMU zazna kršitve pravil dostopa (page fault) in jih sporoči mikroprocesorju. Pri ARM9 naprimer sporočanje poteka preko prekinitve ABORT.
- ▶ To pride prav v večopravilnih sistemih, kjer teče več programov hkrati. MMU preprečuje, da bi program dostopal do vsebine pomnilnika drugih programov.
- ▶ Sesuvanje programov (npr. pod sistemom Windows ali Linux) je večinoma posledica poskusa kršitve pravil dostopa (page fault). Ob kršitvi je procesor obveščen in operacijski sistem prekine program, ki je kršil pravila dostopa (saj je program očitno slabo napisan).
- ▶ MMU je pogosto že vgrajen v mikroprocesor.
- ▶ LPC2138 nima vgrajenega MMUja.
- ▶ Intel: od 80286 naprej je MMU vgrajen.

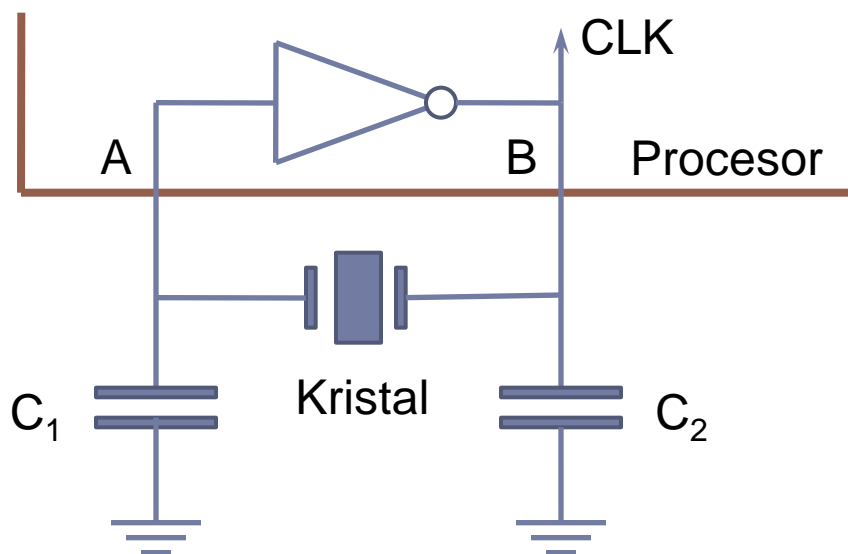
MC68451 – MMU za  
mikroprocesor Motorola 68010





# Generiranje urinega signala

- ▶ Ponavadi s izvedemo oscilator s pomočjo kvarčnega kristala in vezja, ki je že vgrajeno v mikroprocesor.



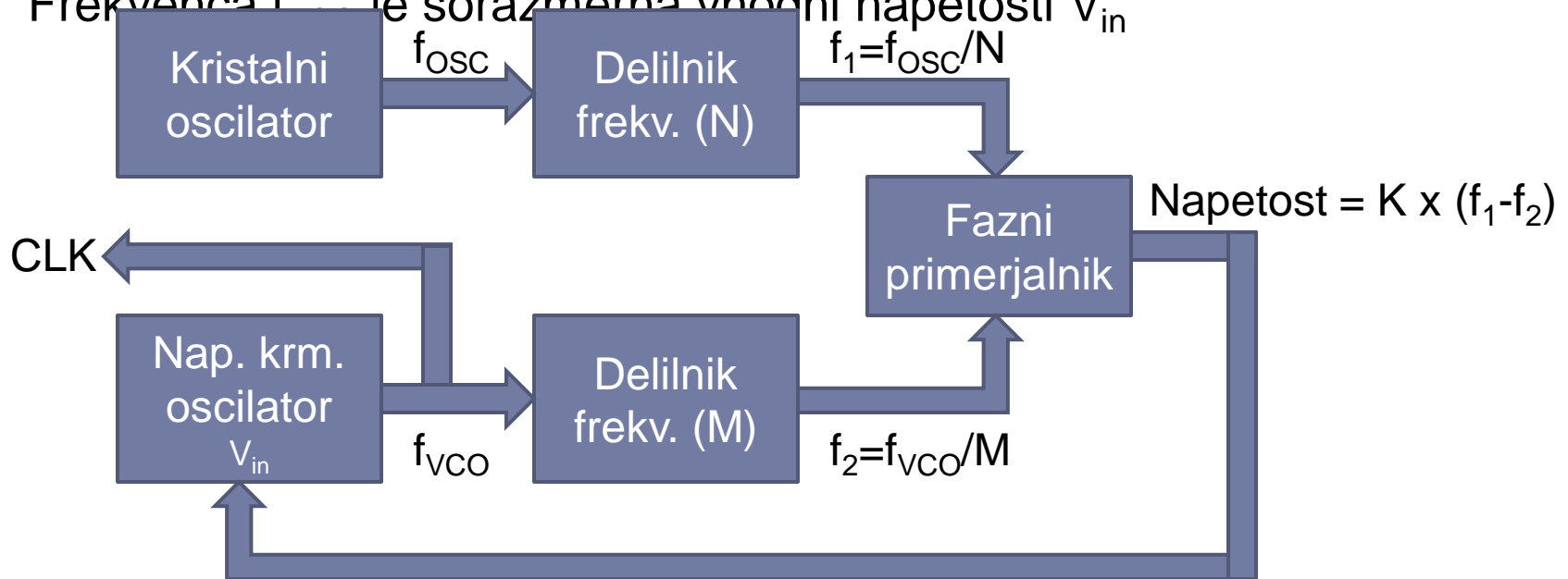
Vsak kristal ima svojo lastno frekvenco nihanja (resonance). Frekvenca nihanja je rahlo odvisna od  $C_1$  in  $C_2$ . Da kristal niha točno s frekvenco navedeno v podatkovnem listu, mora biti  $C_1 C_2 / (C_1 + C_2) + C_x = C_{Load}$ .  $C_{Load}$  je običajno podan v podatkovnem listu kristala,  $C_x$  je stresana kapacitivnost povezav (2-5pF). Izračunana  $C_1$  in  $C_2$  je treba zmanjšati za kapacitivnosti priključkov A in B (podatkovni list procesorja).

- ▶ Najpogosteje uporabljeno je zgornje vezje (Pierce-ov oscilator).
- ▶ Če je signal ure generiran z zunanjim vezjem, ga pripeljemo na vhod A.
- ▶ Frekvence kristalov so običajno od nekaj MHz do nekaj 10MHz.

# Fazno sklenjena zanka

## Phase Locked Loop (PLL)

- ▶ Za generiranje racionalnih večkratnikov frekvenca nihanja kristala ( $M/N$ )
- ▶ Frekvenca  $f_{VCO}$  je sorazmerna vhodni napetosti  $V_{in}$



- ▶  $f_{VCO} = f_{osc} \times M/N$
- ▶ Delilnik frekvence je navaden digitalni števec ... M in N sta celi števili
- ▶ PLL je ponavadi vgrajen v mikroprocesor

# Napajanje, tokovne špice in preprečevanje motenj

- ▶ V velikih digitalnih vezjih hkrati preklopi veliko tranzistorjev.
- ▶ Posledica: ob frontah ure imamo konice toka na napajalnih sponkah vezja.
- ▶ Konice toka + upornosti napajalnih linij in vira = padec napetosti na napajalnih linijah
- ▶ Padci napetosti se prenesejo na napajanje drugih vezij in jih lahko motijo. Veliki tokovi povzročajo elektromagnetno sevanje (EMI – ElectroMagnetic Interference).
- ▶ Rešitev: blokirni kondenzatorji (100nF) med napajalnimi sponkami in maso  
Postavitev: čim bližje napajalnim sponkam (padci napetosti na linijah!)

