



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*  
Fakulteta *za elektrotehniko*



Digitalni Elektronski Sistemi

Model vezja

Računalniški model in realno vezje

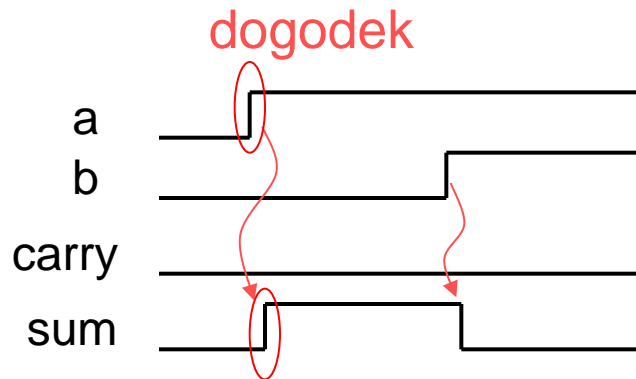
# Obravnava VHDL modelov vezij

## ▶ Simulacija modela

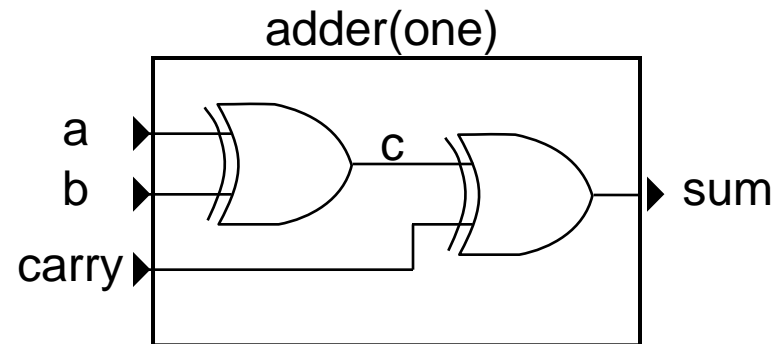
- ▶ na simulatorju določimo spreminjaje vhodnih signalov in opazujemo izhode

## ▶ Sinteza modela

- ▶ program za sintezo določi zgradbo vezja, ki izhaja iz VHDL modela



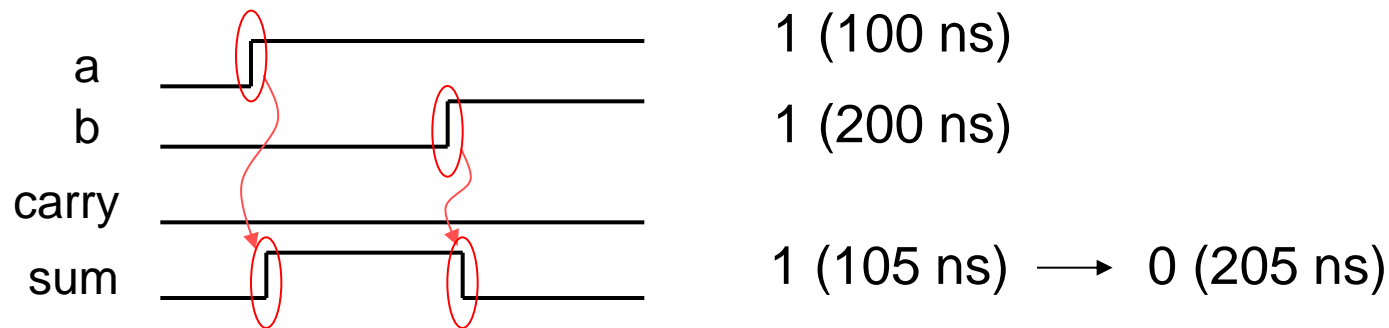
Graf simulacije (waveform)



Sintetizirano vezje

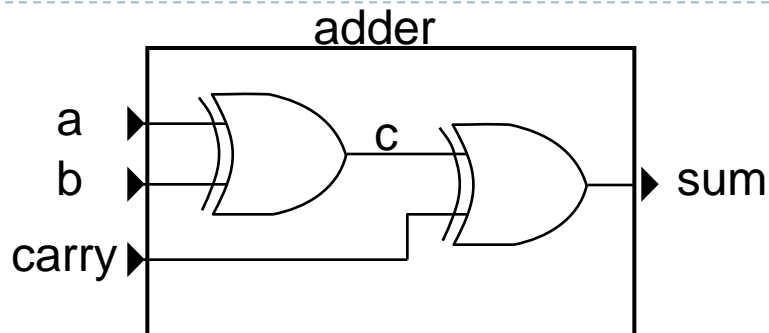
# Simulator diskretnih dogodkov

- ▶ Dogodki so opisani z vrednostjo signala in časom ob katerem se zgodijo

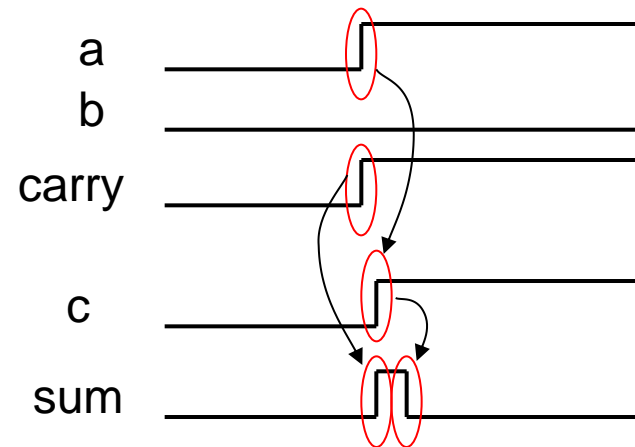


- ▶ Ciklus simulatorja
  1. simulator izračunava dogodke na signalih in jih uvršča na seznam dogodkov
  2. po vseh izračunih se poveča simulacijski čas in
  3. izvrši dogodke, ki spremenijo vrednosti signalom

# Potek simulacije



dogodek



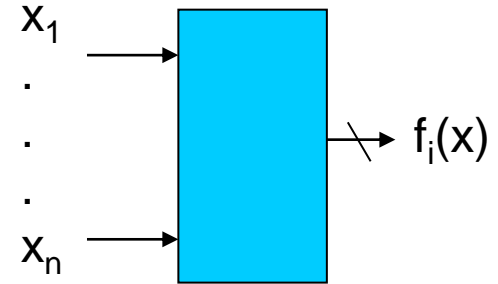
Seznam dogodkov:

a: 0, 1 (T) carry: 0, 1 (T)

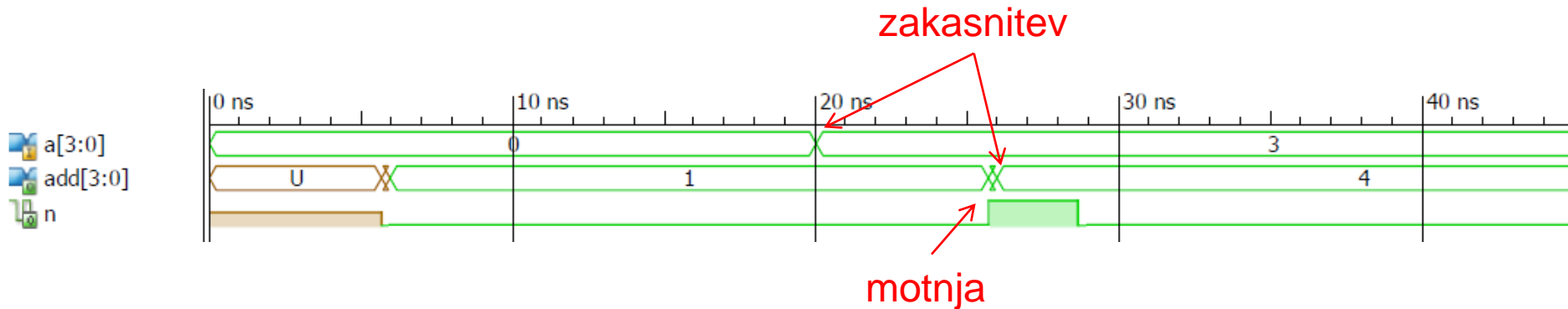
korak	čas	a	b	carry	sum	c
seznam	0	0, 1(T)	0	0, 1(T)	0	0
izvrši	T	1	0	1	0	0
izračunaj	T	1	0	1	1(T+Δ)	1(T+Δ)
izvrši	T+Δ	1	0	1	1	1
izračunaj	T+Δ	1	0	1	0(T+2Δ)	1
izvrši	T+2Δ	1	0	1	0	1

# Lastnosti realnih kombinacijskih vezij

- ▶ Izhod se spremeni z zakasnitvijo ( $\Delta > 0$ )
- ▶ Večina vezij je večnivojskih
  - ▶ zaporedno vezana logična vrata
  - ▶ v času spremembe so na izhodu motnje!
- ▶ Primer: seštevalnik in primerjalnik

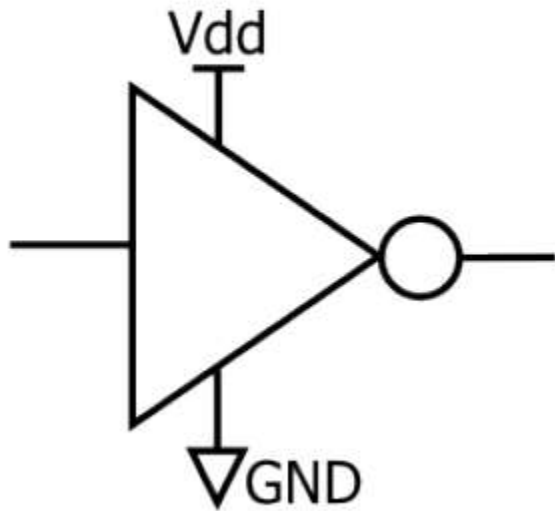


```
add <= a + 1;  
n <= '1' when add=0 else '0';
```

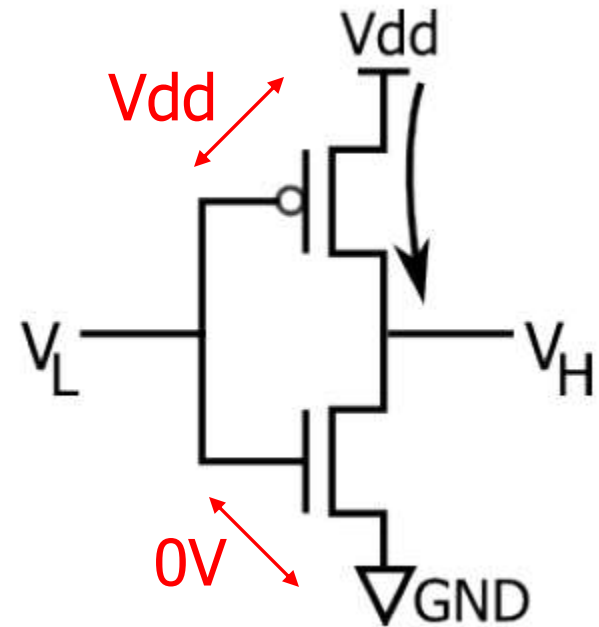


# Logični negator: model in realno vezje

- ▶ V vezju so namesto 0 in 1 različni potenciali



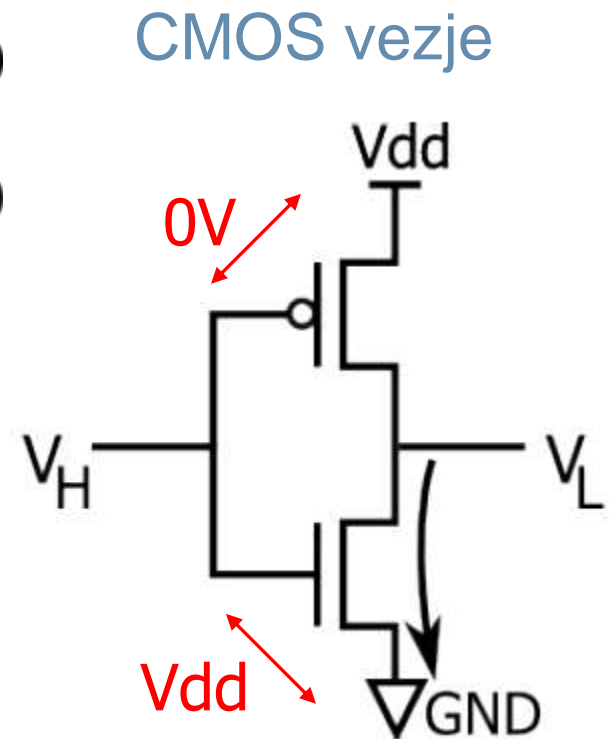
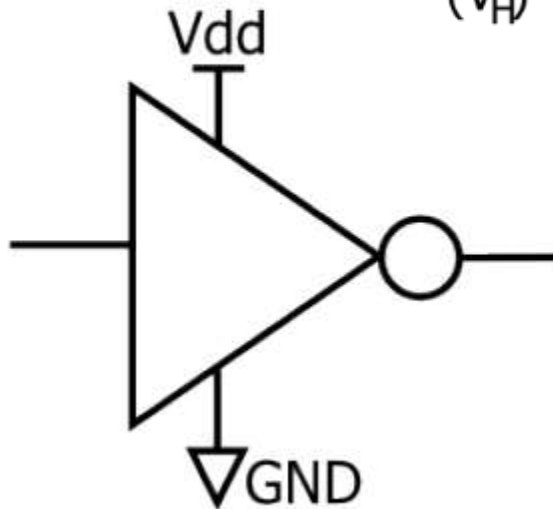
CMOS vezje



# Logični negator: model in realno vezje

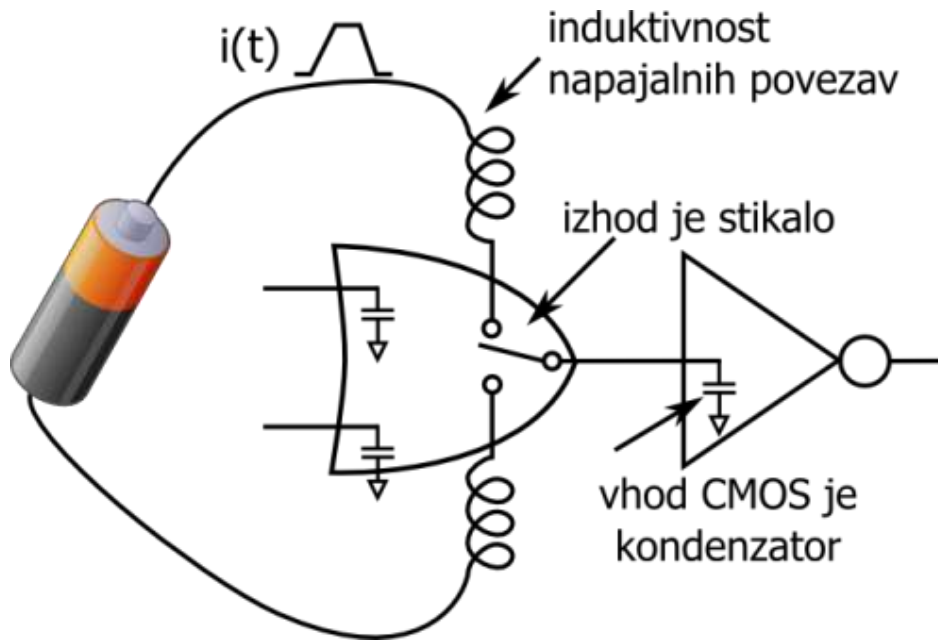
- ▶ V vezju so namesto 0 in 1 različni potenciali

	$U_{IN}$ [V]	$U_{OUT}$ [V]	
$(V_L)$	0.0	3.3	$(V_H)$
	0.5	3.3	
	3.0	0.0	
$(V_H)$	3.3	0.0	$(V_L)$

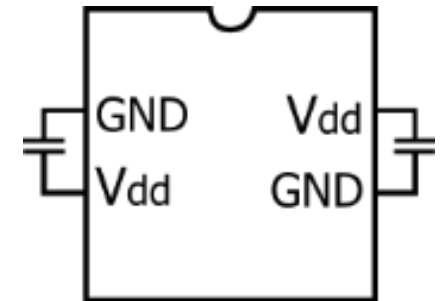


# Vhodni in izhodni signali

- ▶ Vhod vezja se obnaša kot kondenzator
  - ▶ tok teče le ob spremembi logičnega stanja
- ▶ Izhod ima majhno notranjo upornost proti Vdd ali GND
  - ▶ na dolгих napajalnih vodih padec napetosti zaradi induktivnosti



kondenzatorji na  
napajal. priključkih

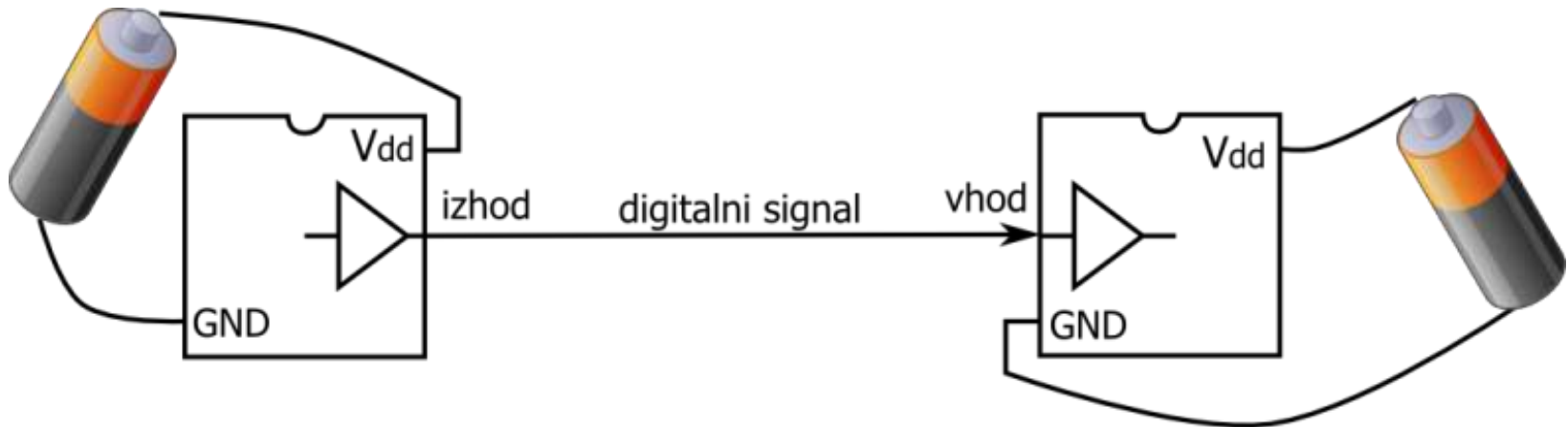




# Prenos signalov v digitalnem vezju

---

- ▶ Ali deluje signalna povezava med čipoma ?

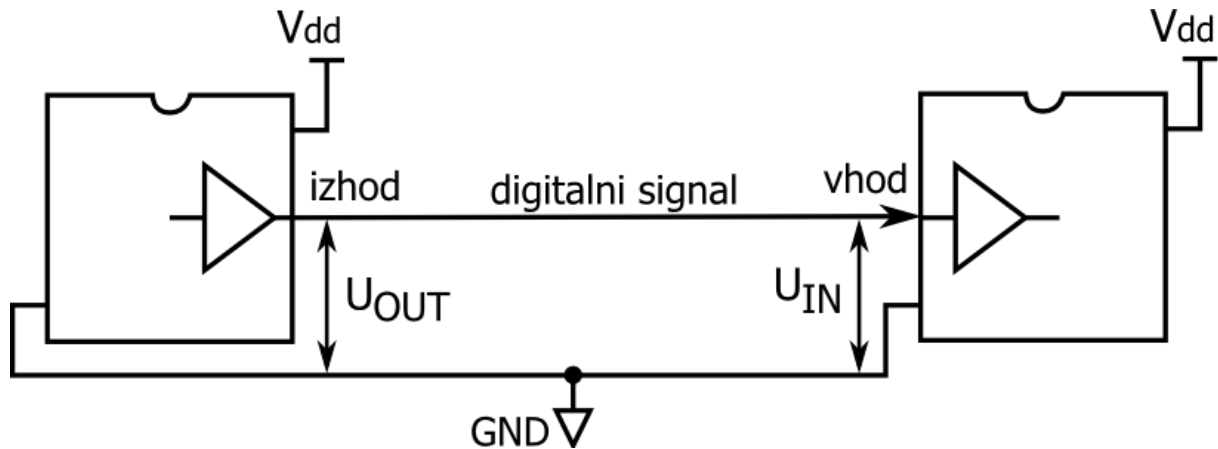


- ▶ Ne, tokokrog mora biti sklenjen!
  - ▶ vsi vhodni signali morajo biti povezani v tokokrog
  - ▶ ni pametno puščati neuporabljenih vhodov nepovezanih!

# Prenos signalov v digitalnem vezju

---

- ▶ Ali deluje signalna povezava med čipoma ?



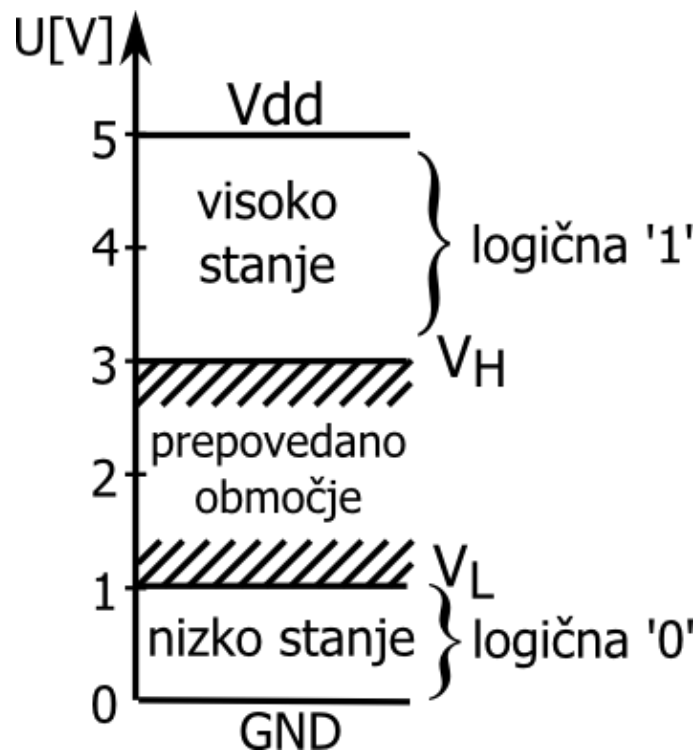
- ▶ Vhod vezja deluje kot komparator!
  - ▶ Dogovor o statičnem redu določa, kdaj se potencial obravnava kot logična 0 oz 1

# Območje potencialov

- ▶ Preprost dogovor: logična '0' do  $V_{dd}/2$ , '1' nad  $V_{dd}/2$
- ▶ Kako interpretiramo signal s potencialom  $V_{dd} / 2$  ?

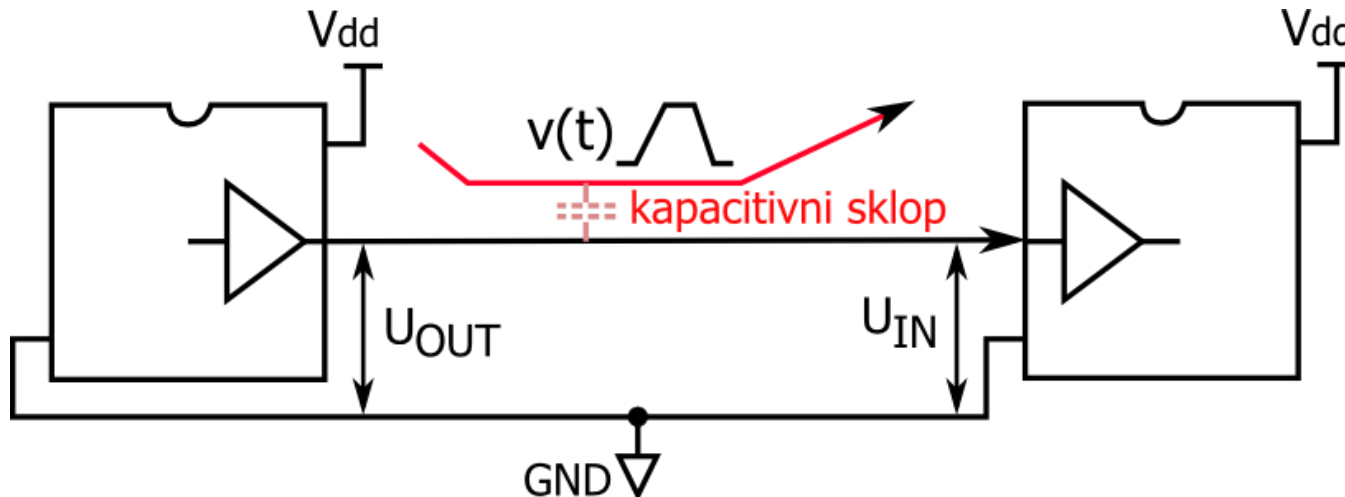
logična '0':  $0V \leq V_L \leq 1V$

logična '1':  $3V \leq V_H \leq 5V$



# Šum na signalnih povezavah

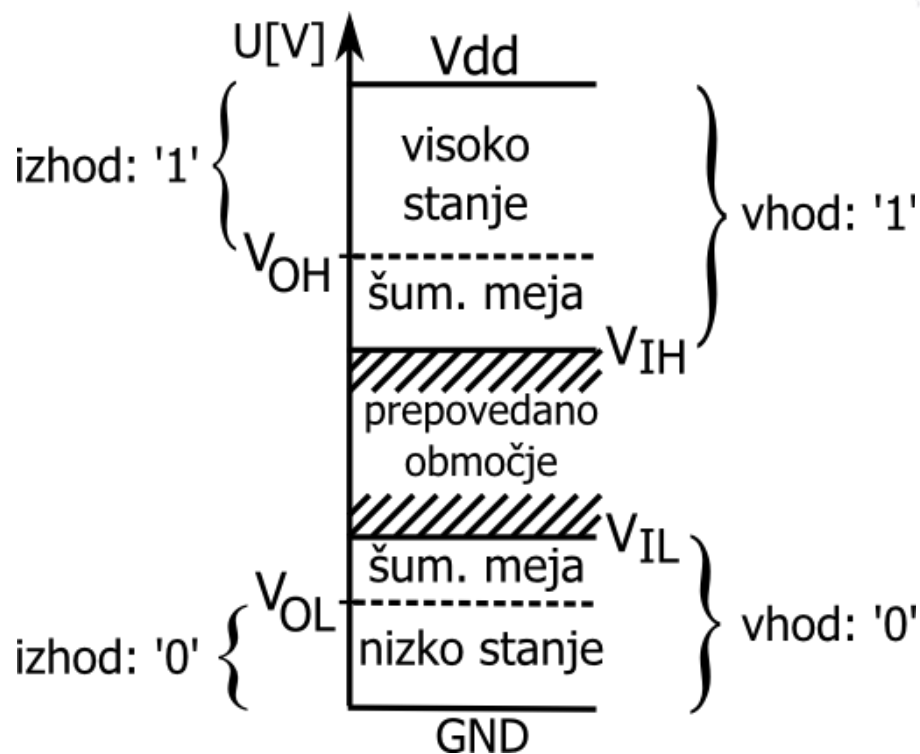
- ▶ Na povezavah v vezju se lahko pojavi šum
  - ▶ šum zaradi kapacitivnega sklopa med sosednjima povezavama
  - ▶ šum predstavimo kot dodatno napetost, ki se prišteje ali odšteje od napetosti signala



# Rešitev: statični red

- ▶ Dogovor: logični izhod ima manjše območje kot za vhod

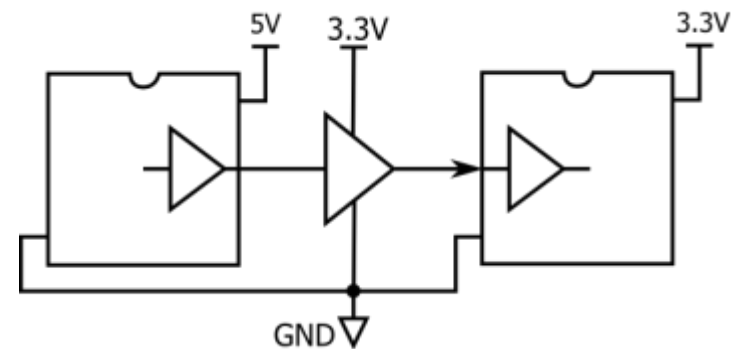
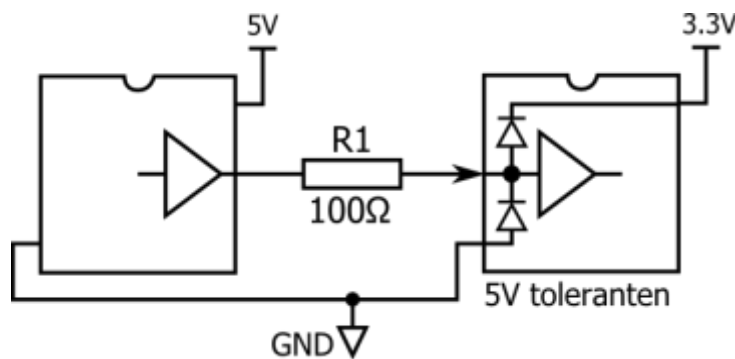
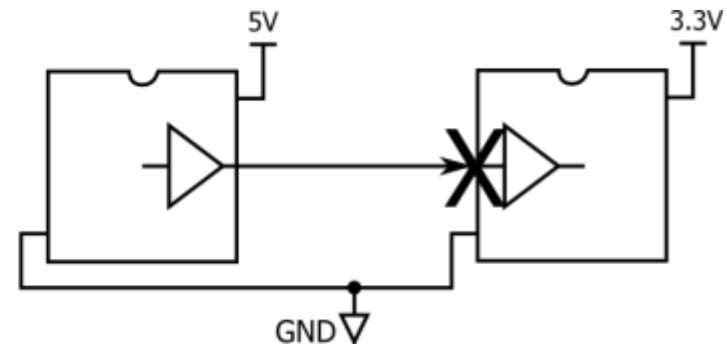
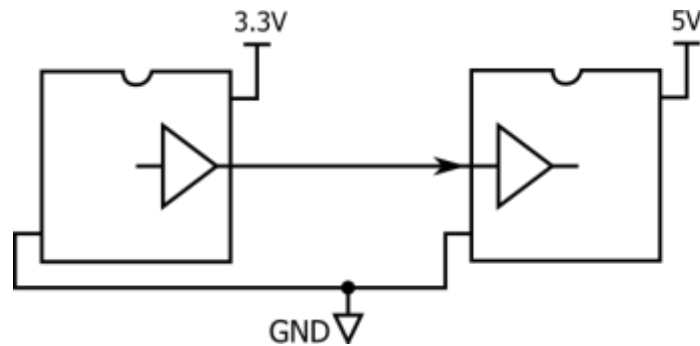
- ▶ Npr. podatki za 5V CMOS:



oznaka	pomen	napetost [ V ]
$V_{IH}$	vhodni visok nivo	3
$V_{IL}$	vhodni nizek nivo	1
$V_{OH}$	izhodni visok nivo	3.1
$V_{OL}$	izhodni nizek nivo	0.2

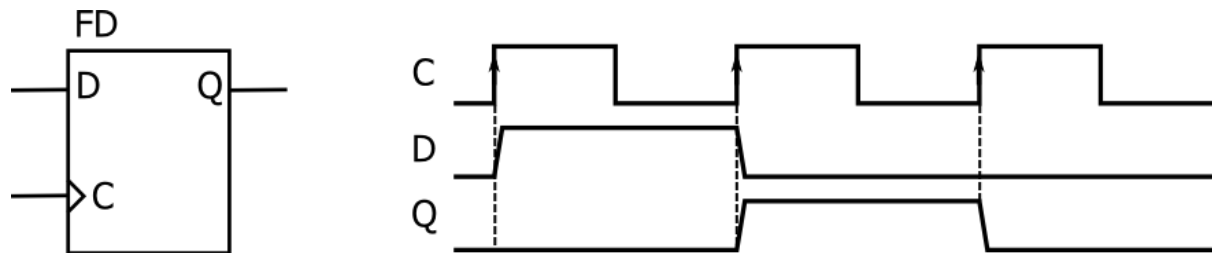
# Vezava signalov CMOS (5V) in LVCMOS (3.3V)

- ▶ Preveriti je potrebno statični red!
  - ▶ iz 3.3V na 5V gre, v obratni smeri pa je potrebna prilagoditev

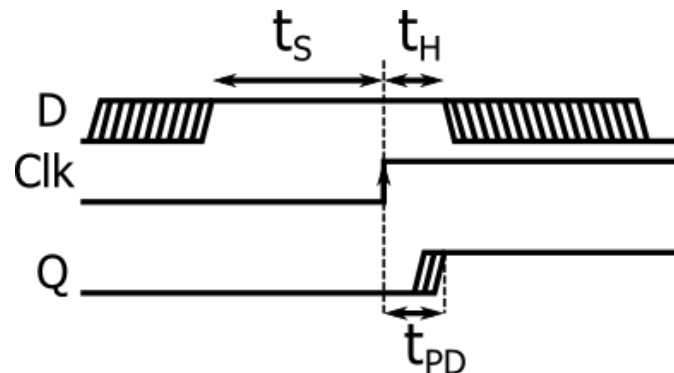


# Realni pomnilni gradniki (flip-flopi)

- ▶ flip-flop D in idealni časovni diagram



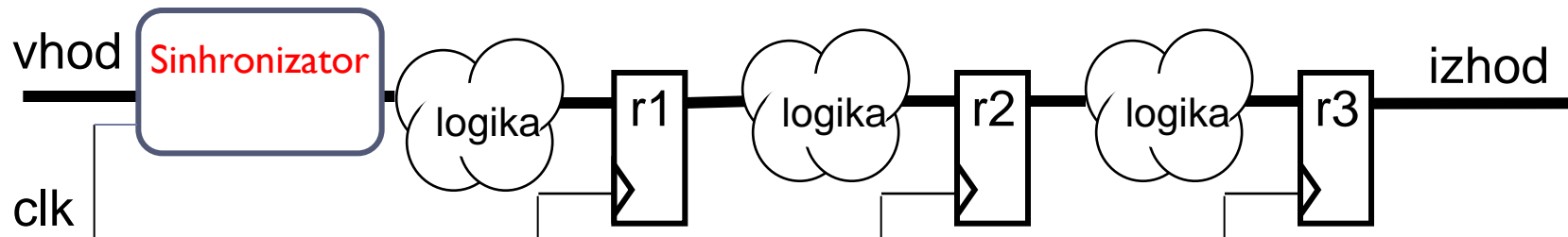
- ▶ Realni časovni diagram:



- ▶ Kateri signal se je prej spremenil ?
- ▶ Dinamični red
  - ▶ izogibanje “tekmovanju” med signali

# Pravila dinamičnega reda

- ▶ Ali lahko zagotovimo, da bo vezje vedno delovalo?

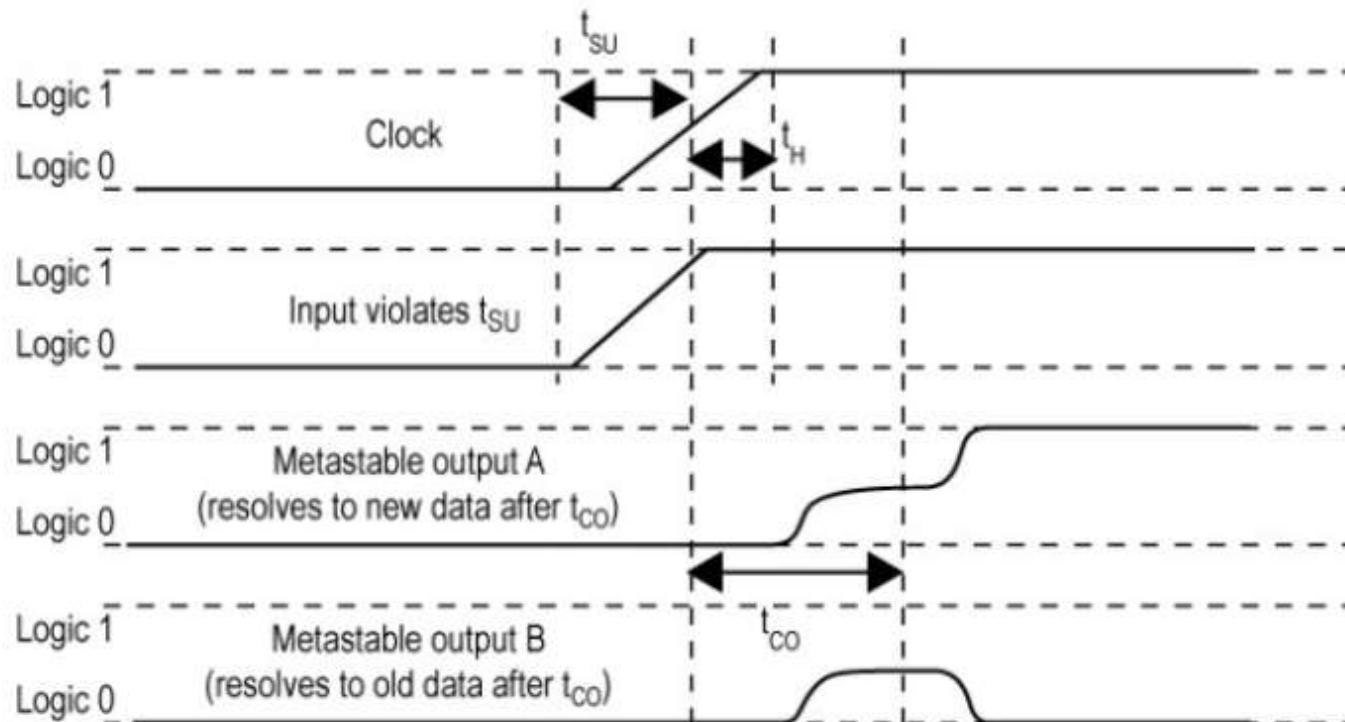


- ▶ S skrbnim načrtovanjem bo vedno izpolnjen dinamični red
  - ▶ ura mora priti do vseh pomnilnih elementov istočasno
  - ▶ sinhrono sekvenčno vezje
- ▶ Na asinhronem vhodu ne moremo upoštevati pravil !
  - ▶ vhodi se ne spreminjajo po zakonitostih naše ure in ne moremo zagotavljati dinamičnega reda ( $t_S$  in  $t_H$ )



# Vezje za sinhronizacijo

- ▶ Slaba novica: asinhroni arbiter ne obstaja!
- ▶ Poskus rešitve: uporabimo D flip-flop
  - ▶ obstaja možnost, da gre v metastabilno stanje
  - ▶ čez (nedoločen) čas gre izhod v eno ali drugo stabilno stanje



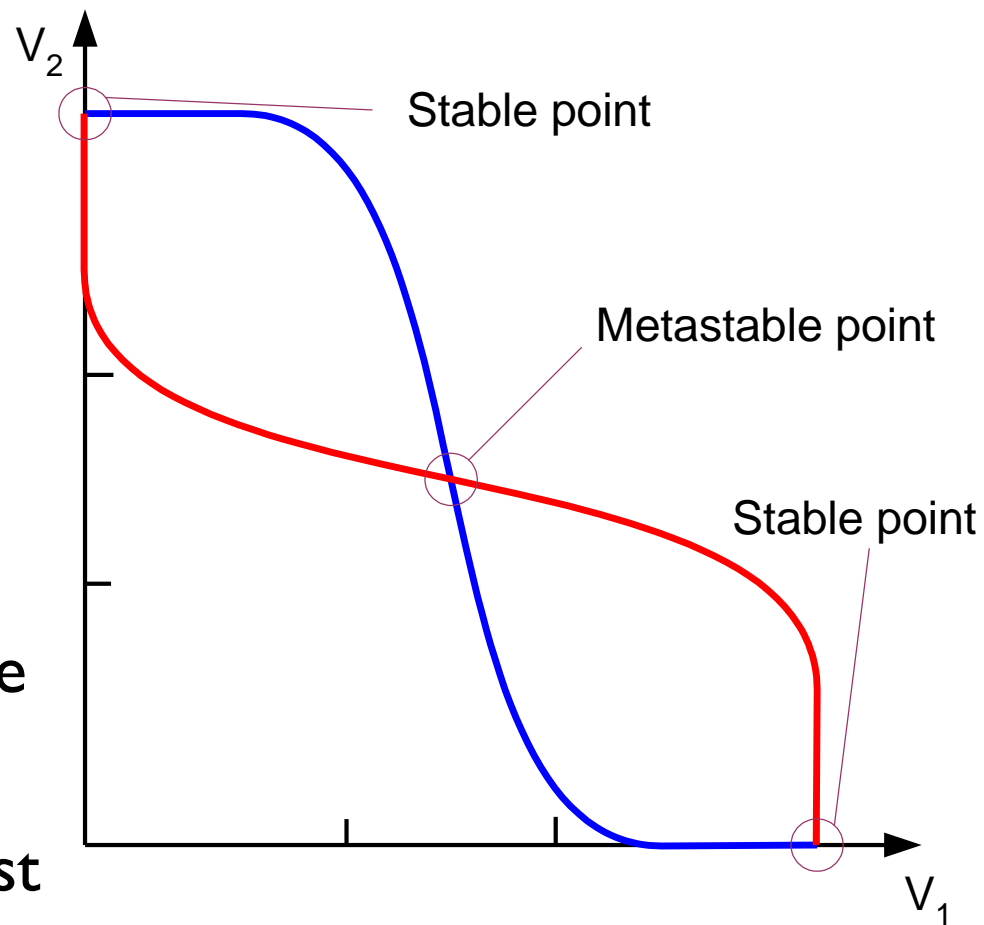
# Metastabilno stanje

“0”



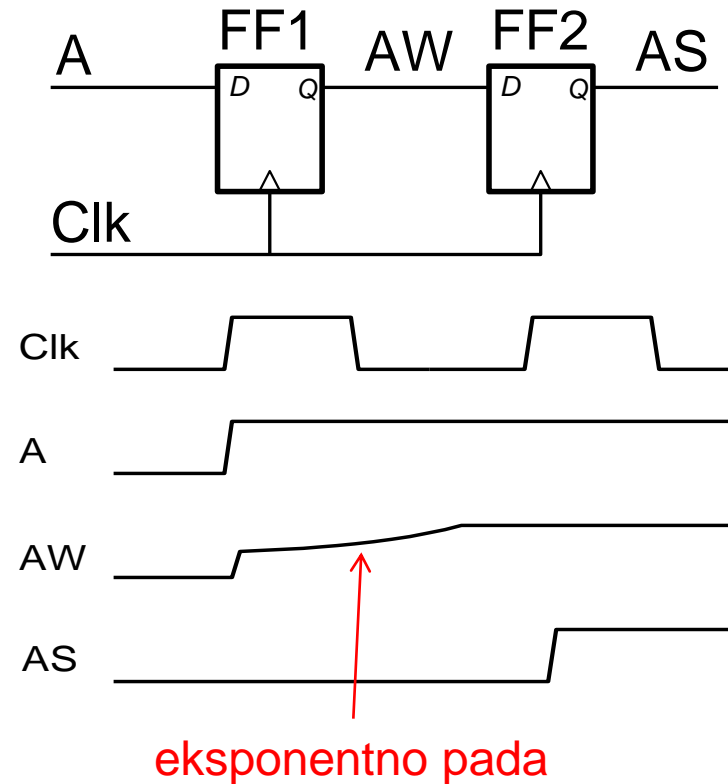
“1”

- ▶ lastnost bistabilnih vezij
- ▶ čez čas gre v stabilno stanje
- ▶ nedoločen čas okrevanja
- ▶ verjetnost za metastabilnost eksponentno pada s časom



# Sinhronizacija z dvema D flip-flopoma

- ▶ metastabilno stanje na izhodu FF1
- ▶ stanje se stabilizira na izhodu FF2, če je na voljo dovolj časa
- ▶ pri višjih frekvencah ure uporabimo več zaporednih D flip-flopov



$$P(\text{napake}) = P(\text{metastab stanja}) \times P(\text{ni še stabilno po } t_w)$$

- ▶ Zakasnitev signala je cena za sinhronizacijo, ki se ji ne moremo izogniti !

# Načrtovanje vmesnikov

- ▶ problem komunikacijskih vmesnikov je **sinhronizacija**
  - ▶ asinhrono signale vzorčimo z višjo frekvenco ure in jih peljemo čez sinhronizacijsko vezje
- ▶ težav z metastabilnostjo ne vidimo na simulaciji !

