

# Digitalna integrirana vezja

## Mikroprocesor

- ▶ **univerzalno** vezje, zaporedje ukazov, enostaven razvoj aplikacij

## SLABOSTI

- ▶ počasen odziv na dogodke
- ▶ zmogljivost odvisna od kompleksnosti algoritma

## Application Specific Integrated Circuit

- ▶ vezje za **določen namen**, paralelno delovanje
- ▶ hiter odziv na dogodke

## SLABOSTI

- ▶ zahtevno za načrtovanje
- ▶ s kompleksnostjo algoritma narašča velikost in cena vezja

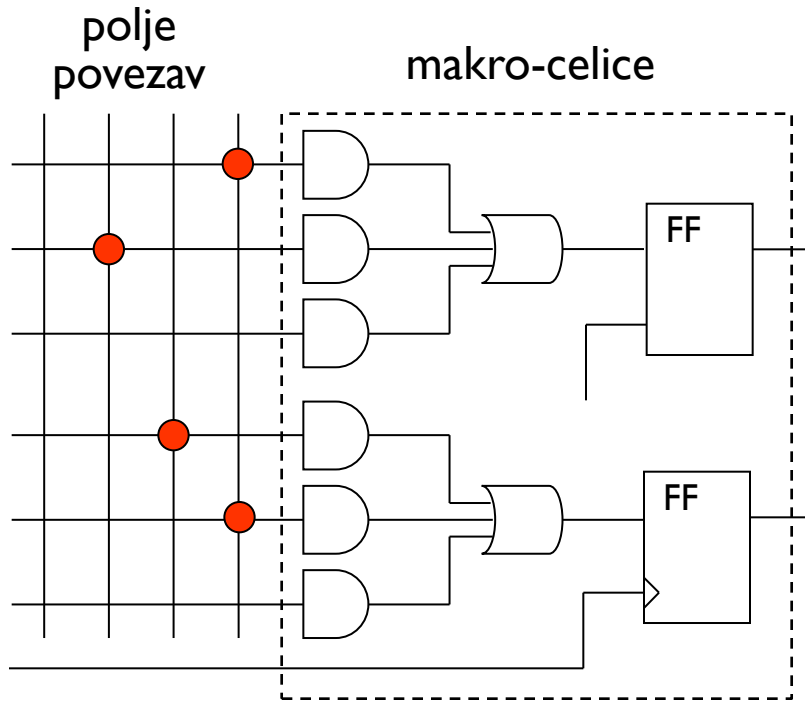
## Programirljiva vezja so vnaprej izdelana

- ▶ krajši čas razvoja, ni stroškov priprave proizvodnje (milijoni \$)
- ▶ hiter odziv in paralelna obdelava, kot ASIC
- ▶ v primerjavi z ASIC so počasnejša, imajo večjo površino in večjo porabo

# Programirljiva vezja: CPLD, FPGA

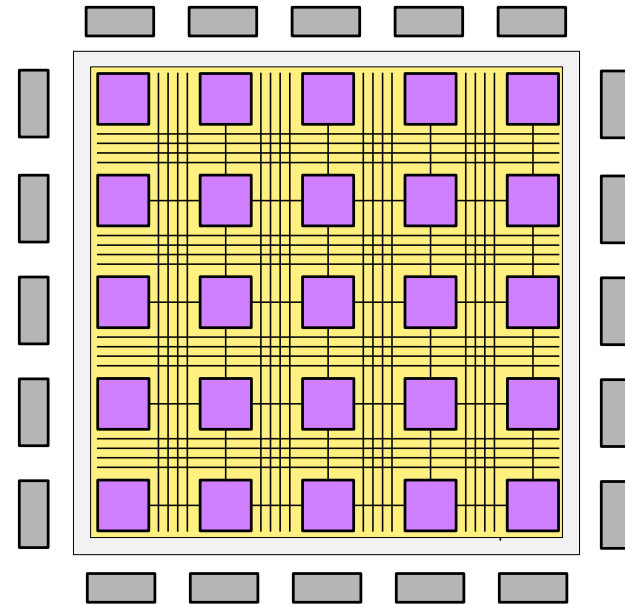
## Complex Programmable Logic Device

- ▶ Makro-celice s FF in povezovalno polje
- ▶ 1.000-20.000 log. vrat, 50-500 FF
- ▶ FLASH tehnologija, 1.8V

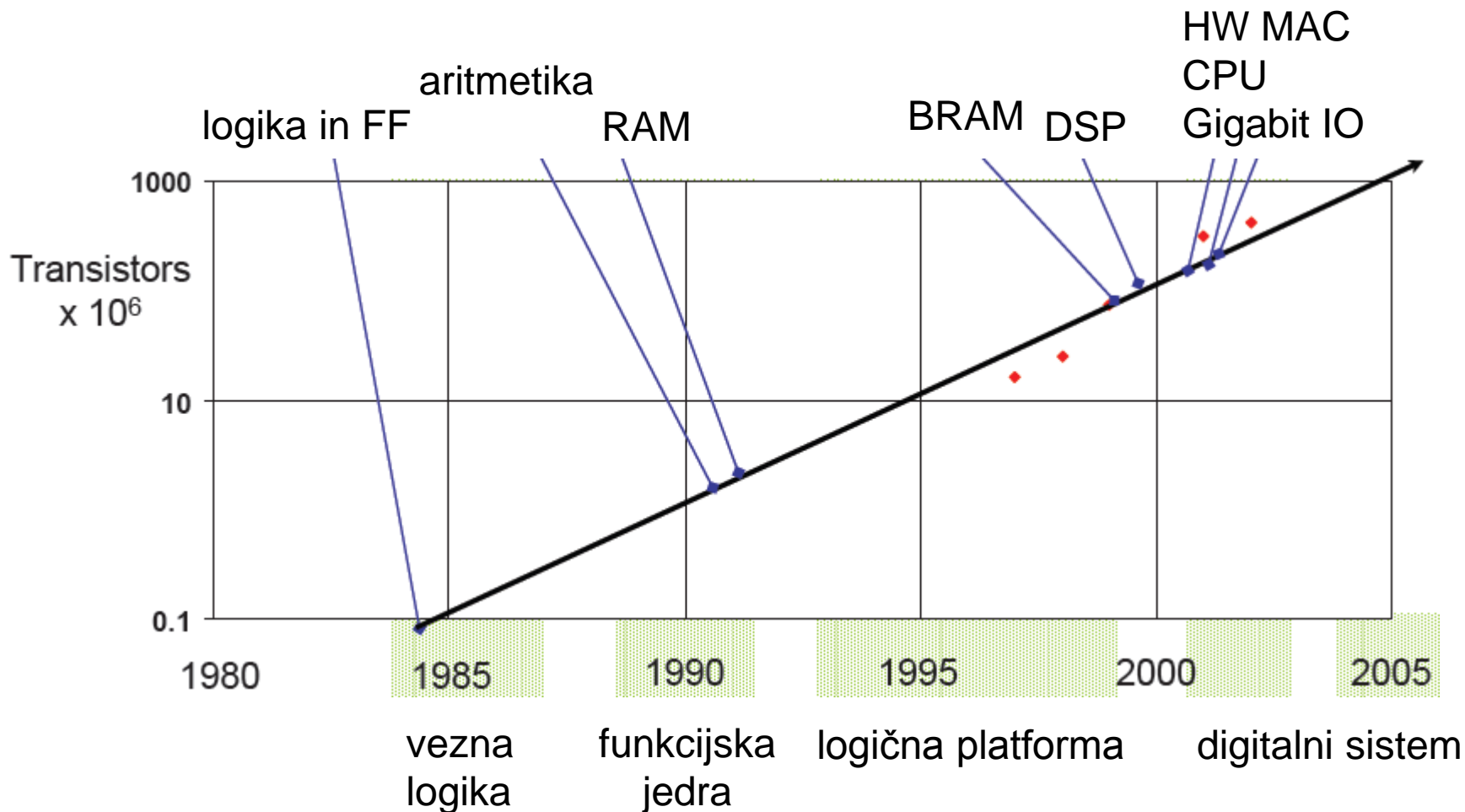


## Field Programmable Gate Array

- ▶ Matrika log. celic in povezovalno polje
- ▶ 10.000-10.000.000 vrat, 100k RAM
- ▶ CMOS tehnologija, 1.2V

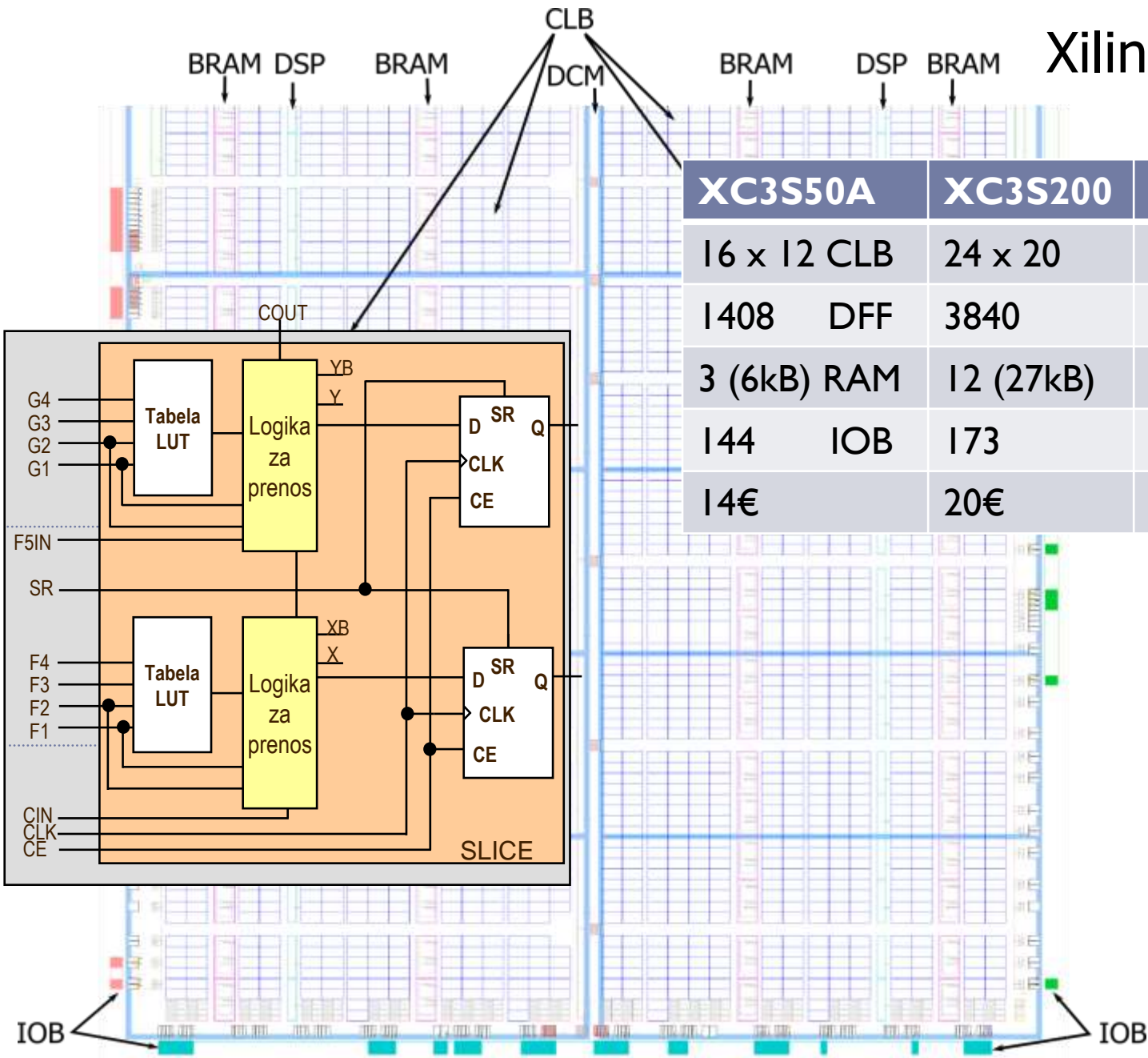


# Razvoj vezij FPGA (Xilinx)



- ▶ Prihodnost: skaliranje FPGA in procesorjev (Moorov zakon)
  - ▶ program. logika in namenski bloki + CPU (ARM) in periferija

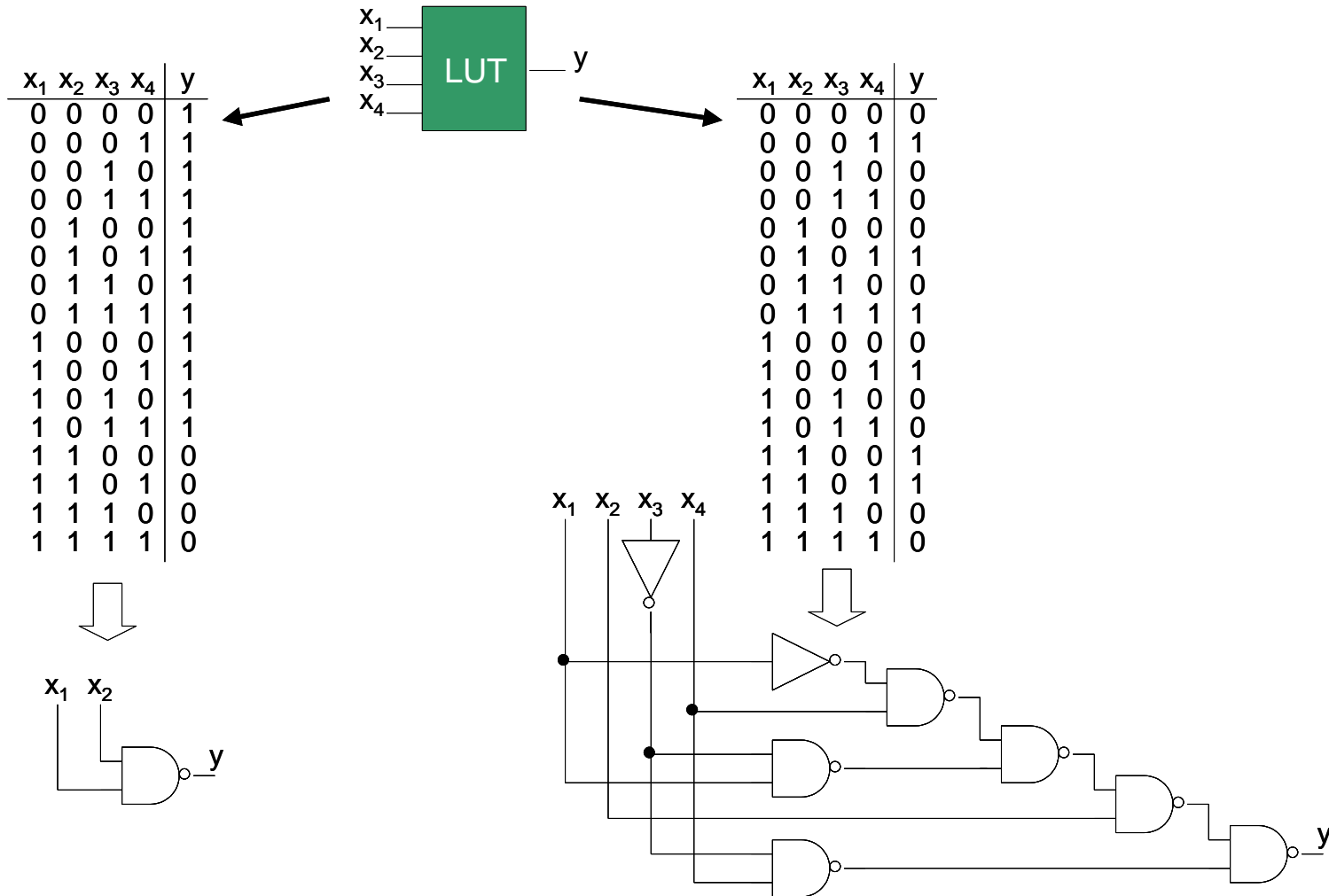
# Xilinx Spartan-3



XC3S50A	XC3S200	..	XC3S5000
16 x 12 CLB	24 x 20		104 x 80
1408 DFF	3840		66560
3 (6kB) RAM	12 (27kB)		104 (234kB)
144 IOB	173		633
14€	20€		\$160

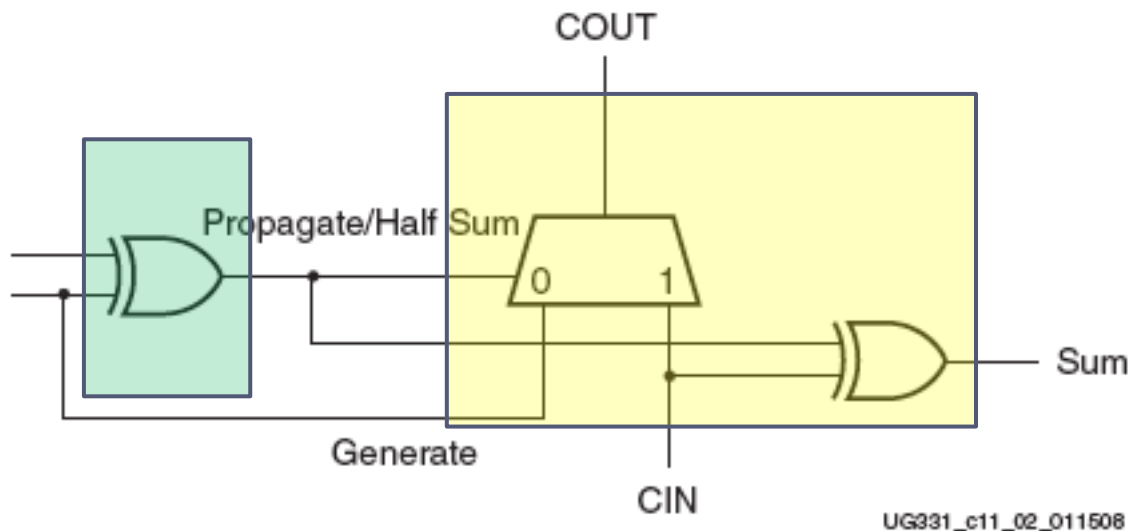
# Izvedba logičnih funkcij

- ▶ 4-vhodna vpogledna tabela (LUT) za kombinacijske f.
- ▶ 2 tabeli LUT/rezino, možnost izvedbe ene 5-vhodne

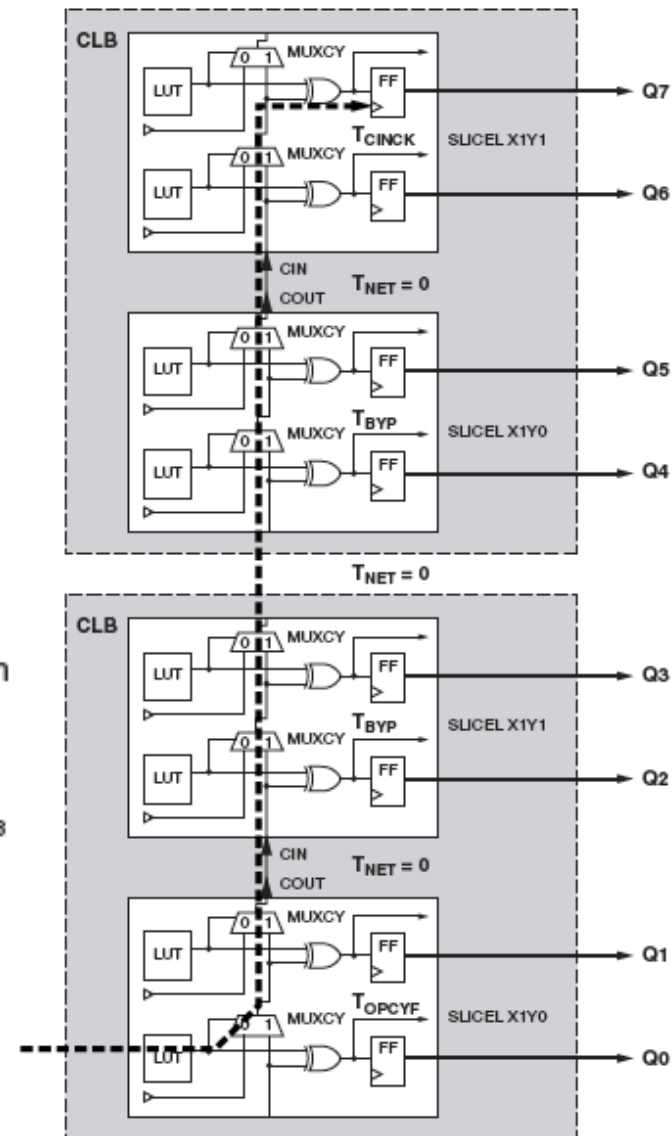


# Izvedba paralelnih seštevalnikov

- ▶ Hitra prenosna logika (CLA)
- ▶ 1 tabela LUT/bit
  - ▶ 2 bita/rezino

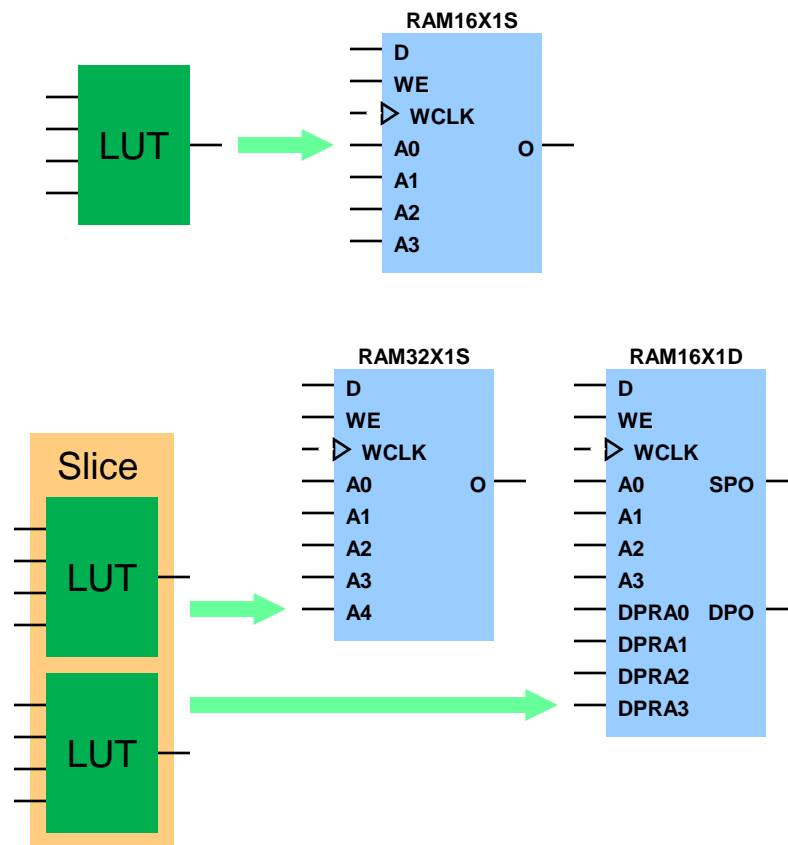
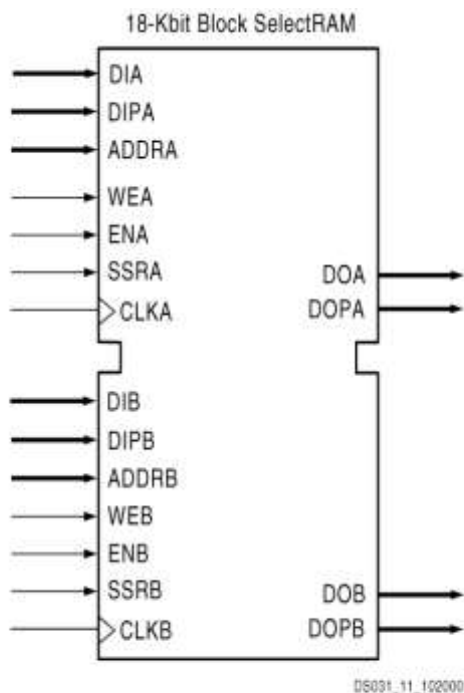


- ▶ Kritična pot gre čez hitro logiko



# Pomnilnik - RAM

- ▶ LUT je pomnilnik, ki ga vpisujemo med programiranjem
  - ▶ uporabniku so na voljo kontrolni signali (WE, WCLK, D)
  - ▶ s sestavljanjem več LUT naredimo ROM/RAM (**distributed**)
- ▶ dodatni 18kB RAM bloki

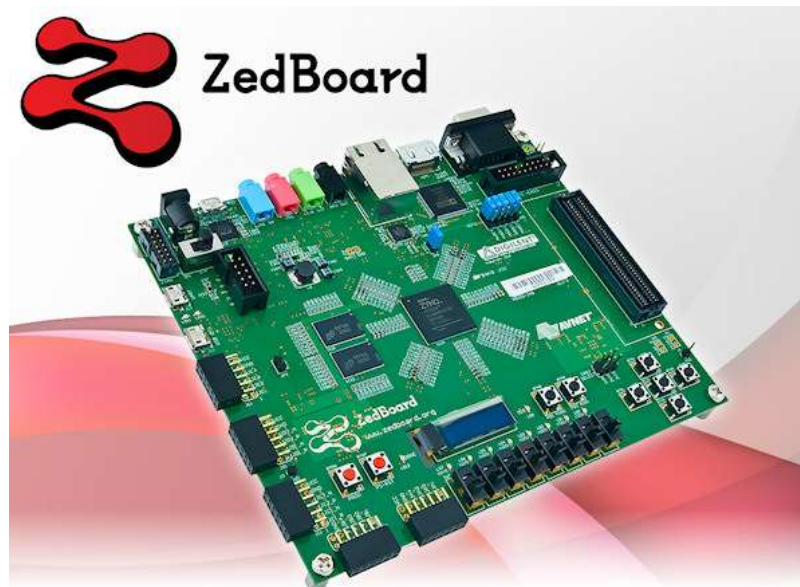
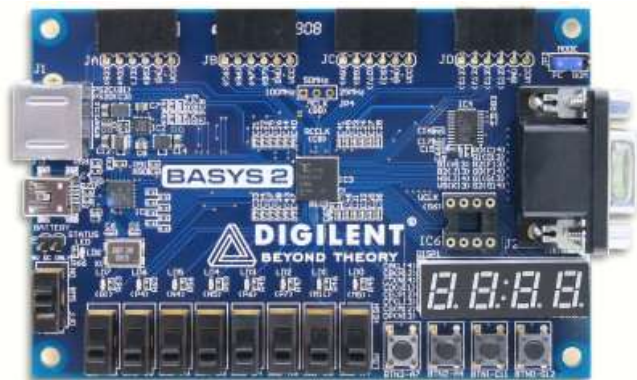






# Razvojni sistemi

- ▶ razvojni sistem za lab. vaje  
XC3S100E ali XC3S250E



Zynq = FPGA+ARM

- ▶ pri nas razviti FPGA razvojni moduli
  - ▶ <http://Iniv.fe.uni-lj.si/boards.html>

Spartan-3 XC3S200

