



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*

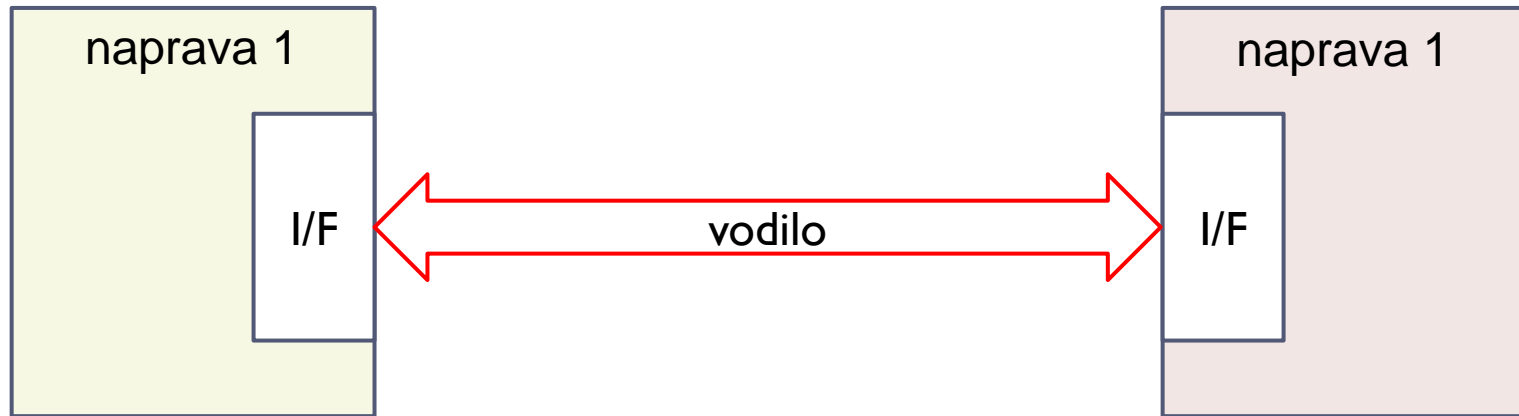


Digitalni Elektronski Sistemi

Vzporedni vmesniki

Vmesniki in vodila - 1

Vmesniki in vodila



- ▶ Električni vmesnik (**Interface**, I/F)
 - ▶ logično vezje z zunanjimi povezavami in priključki
- ▶ Vodilo (**bus**)
 - ▶ vodilo omogoča prenos podatkov med napravami
 - ▶ pasivno vodilo (el. povezave)
 - ▶ vodilo s krmilnikom (usklajuje fizični nivo prenosa, **Phy**)

Kaj prenašamo po vodilu

- ▶ **Podatke**
 - ▶ prenašajo se po besedah (**byte**)
- ▶ **Ukaze oz. kontrolne signale**
 - ▶ izberi napravo / beri / piši
 - ▶ naslov izvora ali ponora podatkov
- ▶ **Signale, ki jih določa protokol prenosa**
 - ▶ zahteve (**request**), prekinitve (**interrupt**)
 - ▶ potrditve (**acknowledge**)
 - ▶ časovno usklajevanje (sinhrono / asinhrono)

Klasifikacija vmesnikov

Vzporedni (paralelni)

- ▶ prenos več bitov hkrati
- ▶ Asinhroni
 - ▶ paralelna vrata (Centronics)
 - ▶ pomnilniški (SRAM, DRAM)

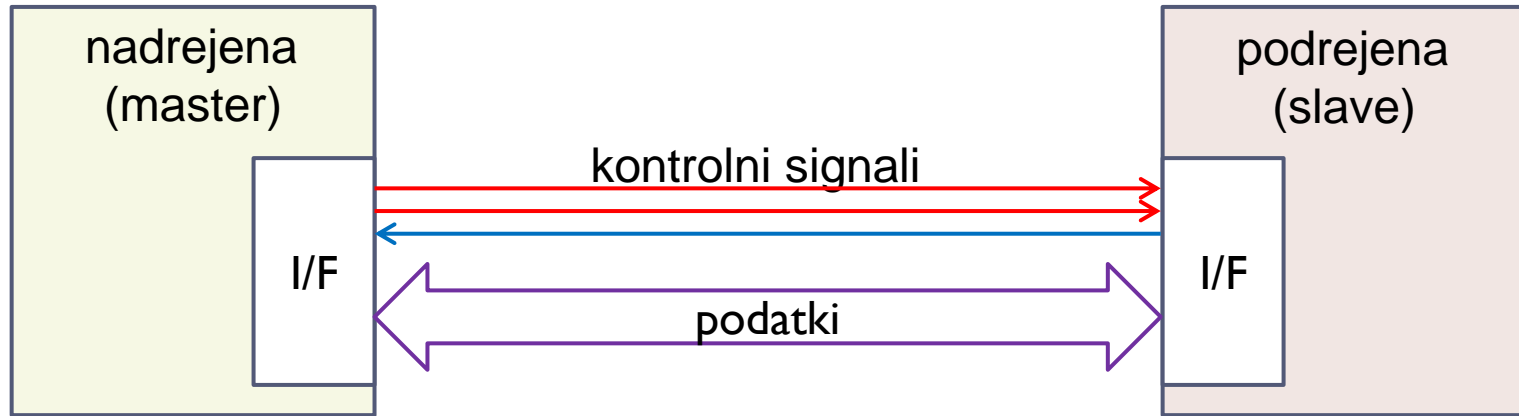
- ▶ Sinhroni
 - ▶ računalniški ISA, PCI
 - ▶ sinh. pomnilnik (SDRAM, FIFO...)

Zaporedni (serijski)

- ▶ en bit naenkrat
- ▶ Asinhroni
 - ▶ RS232 (UART), LIN
 - ▶ USB, Ethernet

- ▶ Sinhroni
 - ▶ PS/2 (tipkovnica)
 - ▶ SPI (SD Card)
 - ▶ I2C (med čipi)
 - ▶ JTAG (program & test)

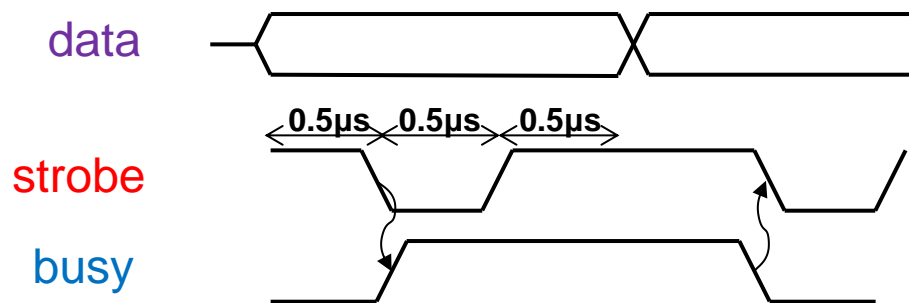
Usklajevanje komunikacije



- ▶ Usklajevanje z nadrejeno napravo
- ▶ Ena izmed naprav (**master**) določa kdaj in kam se prenaša
- ▶ Druga naprava (**slave**) posluša in izvršuje zahteve

Paralelna vrata

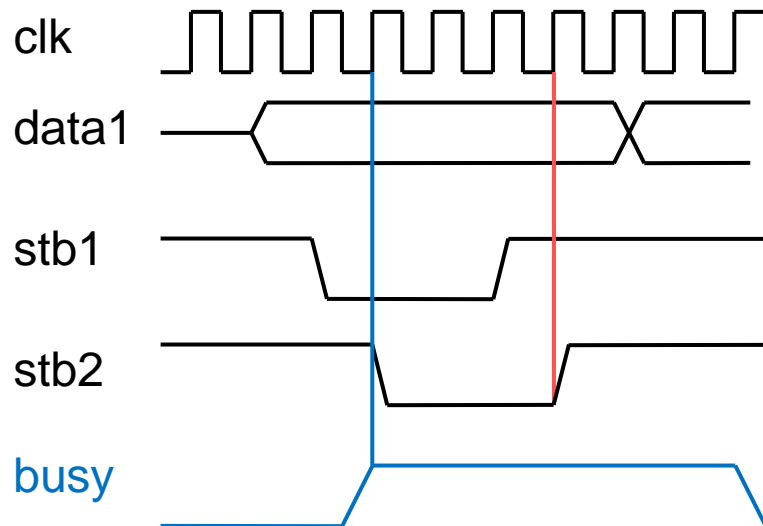
- ▶ Paralelni vmesnik Centronics (star računalniški vmesnik)
 - ▶ 8-bitni asinhroni vmesnik za zunanje naprave računalnika (PC)
- ▶ Usklajevalni protokol
 1. PC čaka, da je naprava pripravljena (**busy=0**)
 2. PC postavi podatek (**data**) in naredi impulz (**strobe**)
 - ▶ podrejena naprava signalizira zasedenost (**busy=1**)



- ▶ Dodatni kontrolni signali
 - ▶ prekinitev ob zaključku
 - ▶ status naprave (out of paper, error...)

Sinhronizacija podrejene naprave

- ▶ kontrolne signale vzorčimo z lokalno uro
 - ▶ ura podrejene naprave je precej hitrejša od impulzov nadrejene
 - ▶ strobe vzorčimo dvakrat za detekcijo fronte!

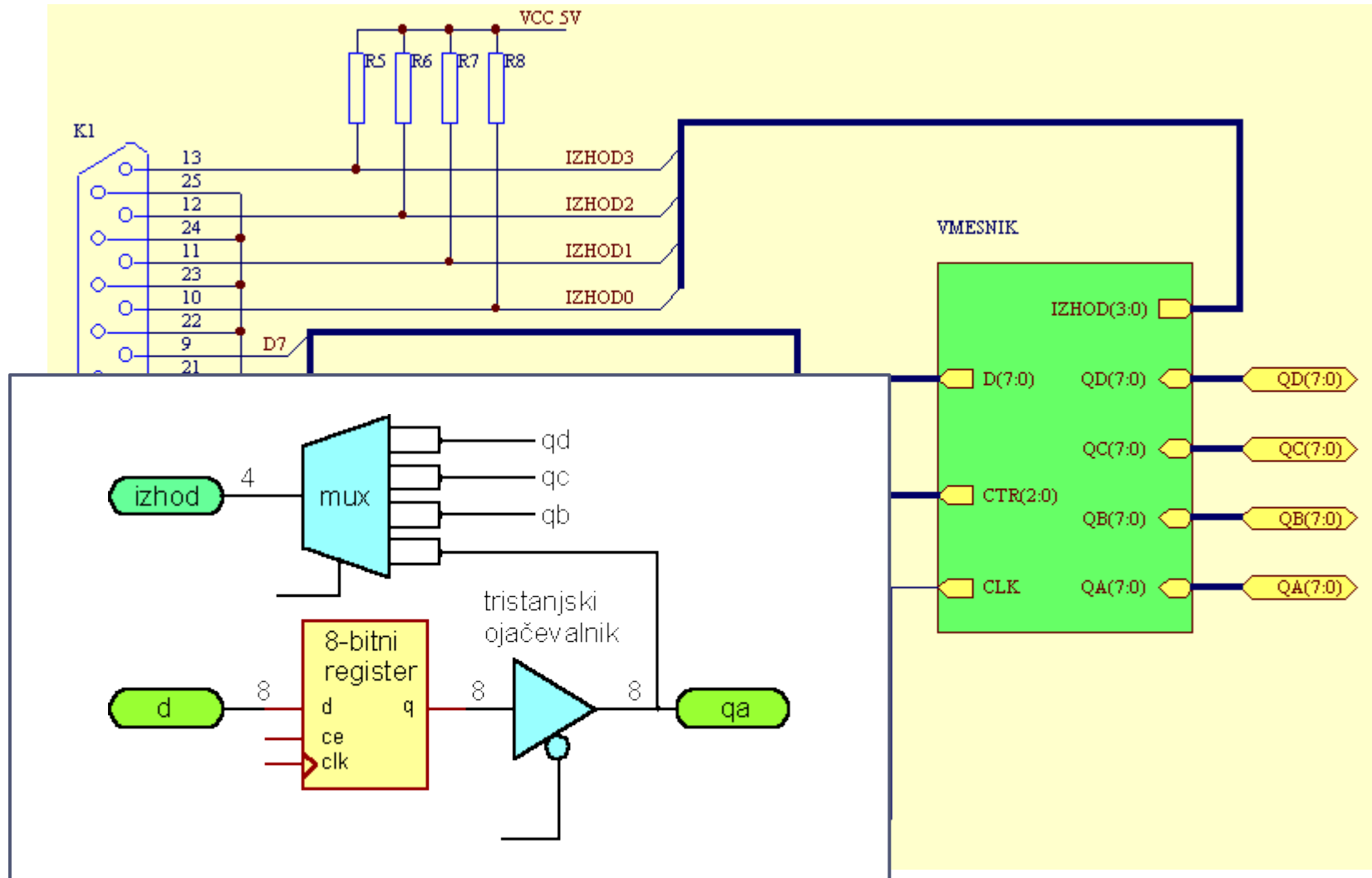


```
p: process (clk)
begin
  if rising_edge(clk) then
    if stb1='0' and stb2='1' then
      busy <= '1';
    end if;

    if stb1='1' and stb2='0' then
      d <= data1;
    end if;
  end if;
end process
```

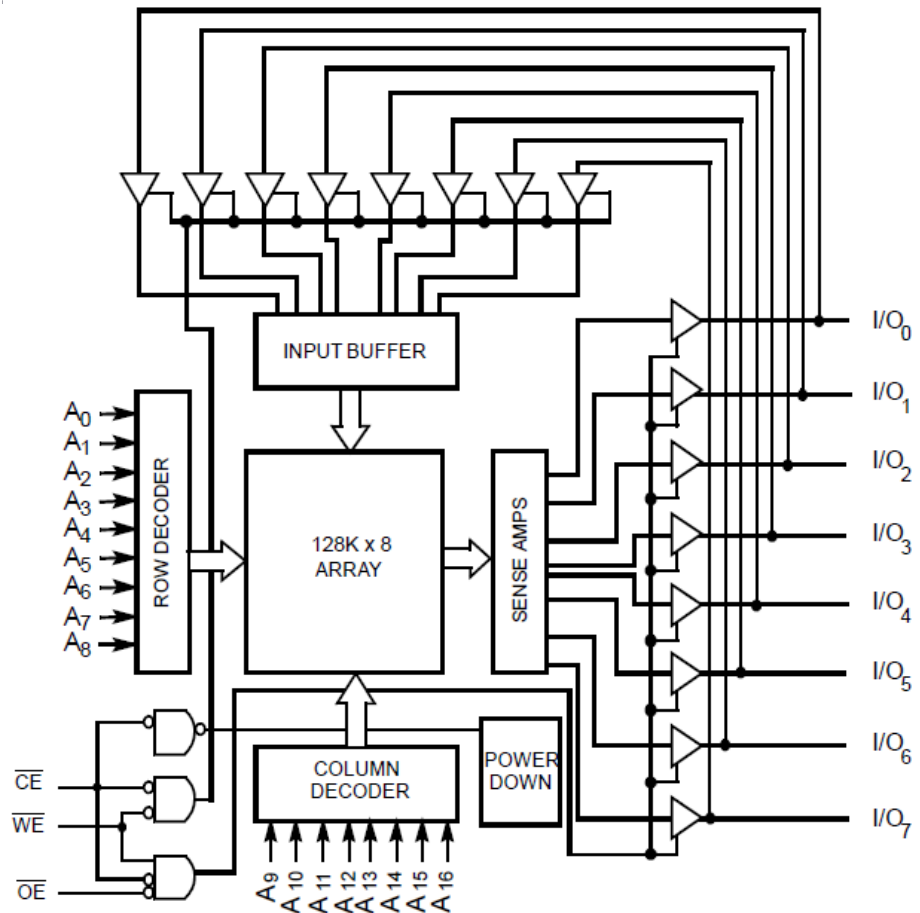
Razširitev paralelnega vmesnika

► 4 dvosmerna 8-bitna vrata



Statični pomnilnik – SRAM

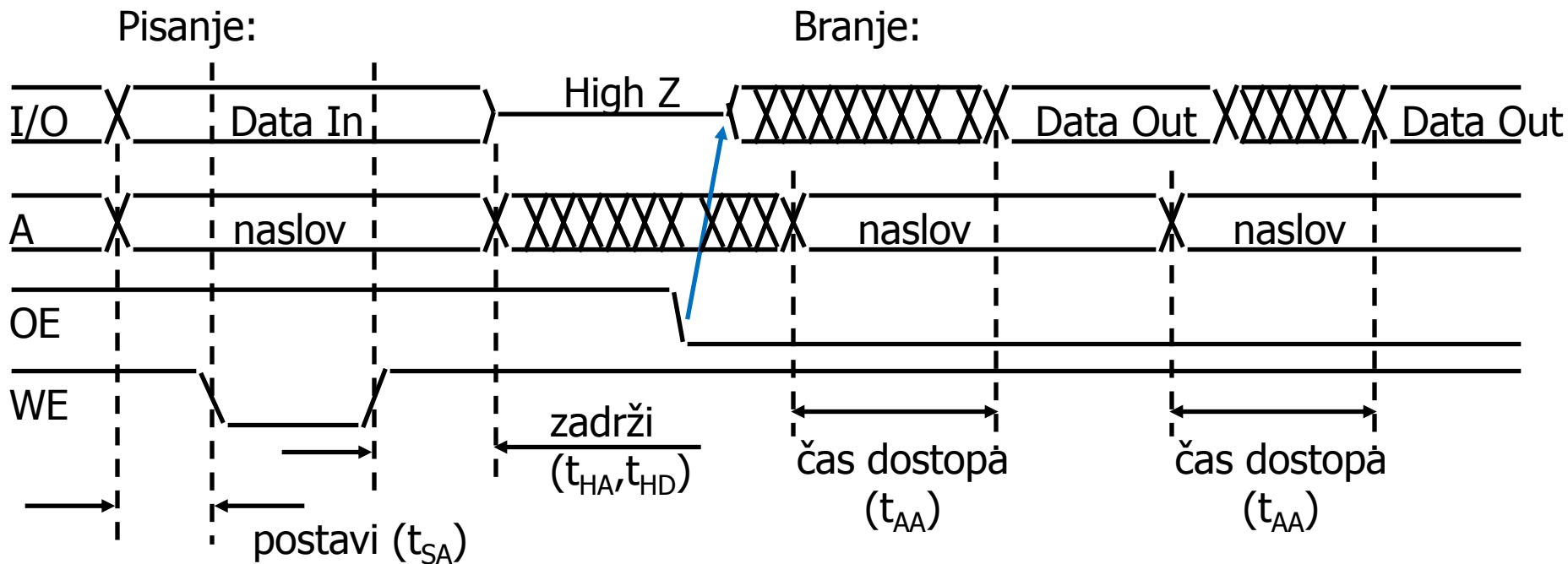
- ▶ SRAM ima paralelni asinhroni vmesnik
 - ▶ naslovno vodilo: A0, A1...
 - ▶ dvosmerno podatkovno vodilo: I/O
- ▶ signal CE omogoči SRAM
 - ▶ CE = 0, SRAM omogočen
- ▶ signal OE določa smer
 - ▶ OE = 1, pisanje v SRAM
 - ▶ OE = 0, branje iz SRAM
- ▶ signal WE sproži vpis
 - ▶ WE = 0 in OE = 1



Komunikacija s statičnim pomnilnikom

▶ Časovni parametri SRAM

- ▶ hitrost pomnilnika določa dostopni čas, npr. $t_{AA} = 12 \text{ ns}$
- ▶ časovni diagram pisanja in branja iz pomnilnika

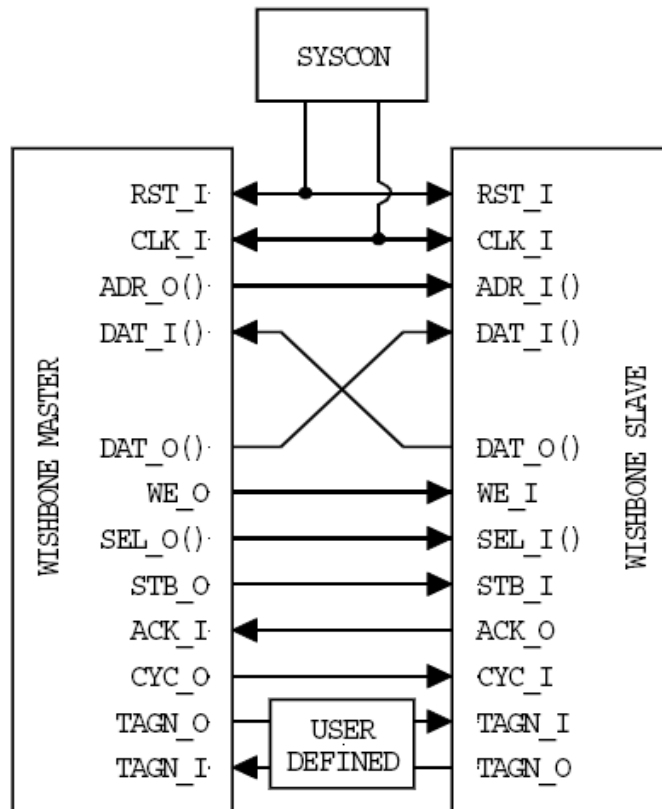


Sinhrono vzporedno vodilo Wishbone

- ▶ odprt standard za vodilo v integriranem vezju
- ▶ enostaven protokol
 - ▶ bralni, pisalni, blokovni prenos in RMW prenos
 - ▶ prenos podatka v enem urinem ciklu
- ▶ različne povezovalne arhitekture
 - ▶ točka s točko, deljeno vodilo, stikalo
 - ▶ sistem gospodar/podrejena enota (master/slave)
- ▶ različne možnosti razširitev
 - ▶ osnovni prenos, registrski prenos
 - ▶ lastni signali (address, data ali cycle tag)

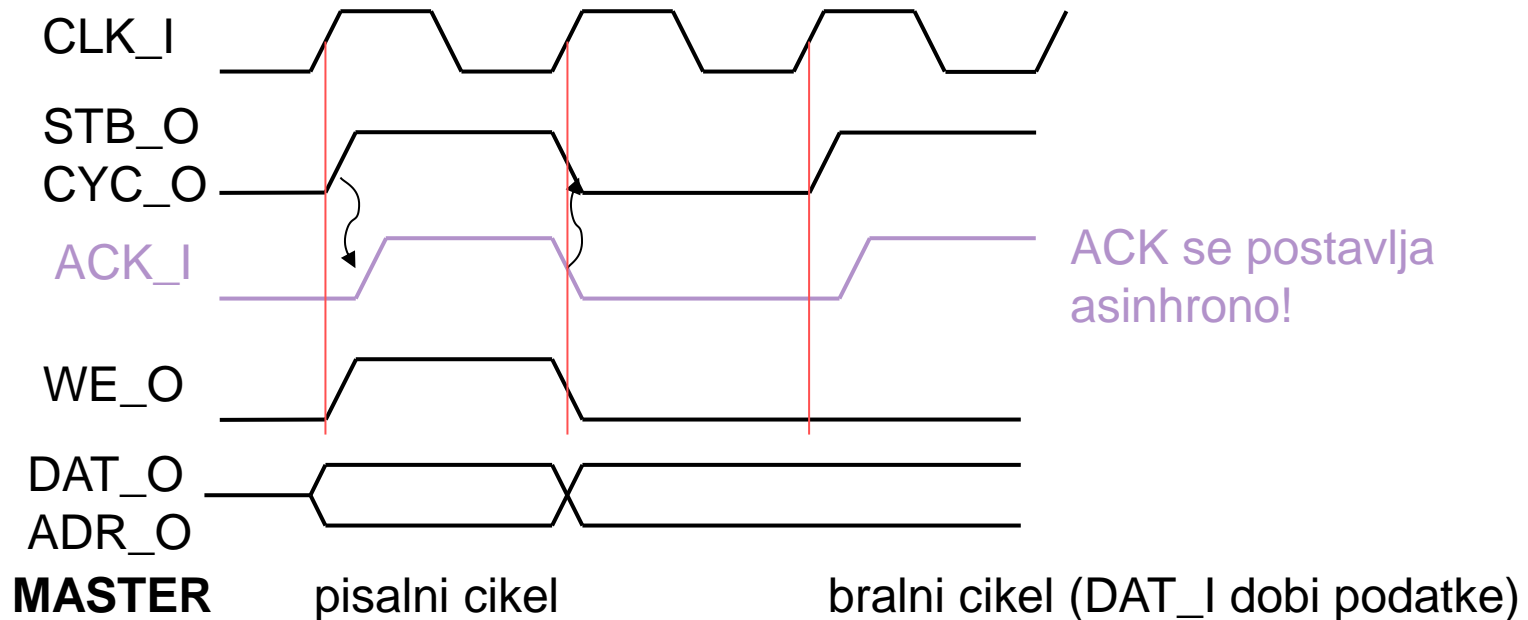
Povezovanje dveh enot

► Osnovna povezava master/slave



Protokol vodila Wishbone

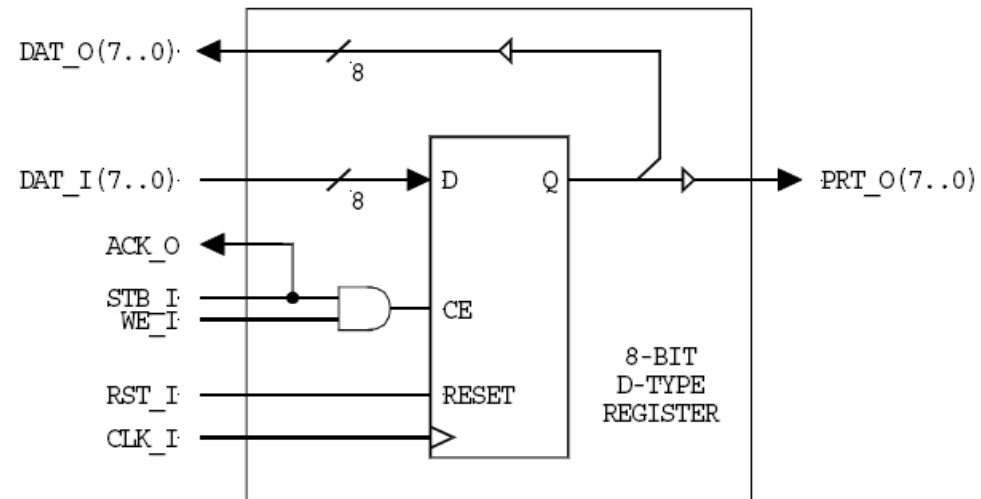
- ▶ Sinhrono vodilo za povezovanje komponent znotraj integriranega vezja
 - ▶ kontrolne signale gledamo ob fronti ure



Primer podrejene enote (slave)

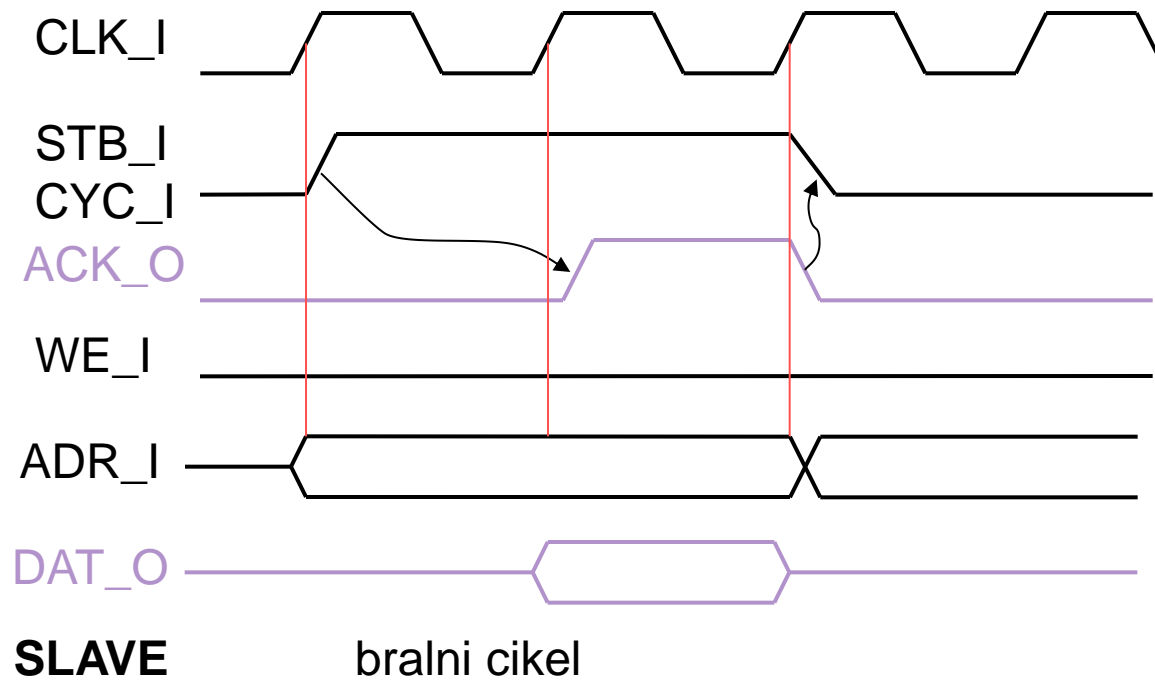
- ▶ Npr. register na vodilu Wishbone

```
p: process (clk_i, rst_i)
begin
  if rst_i='1' then
    q <= "00000000";
  elsif rising_edge(clk_i) then
    if stb_i='1' and we_i='1' then
      q <= dat_i;
    end if;
  end if;
end process;
ack_o <= stb_i;
```



Čakalni cikli sinhronega vodila

- ▶ Kadar druga naprava ni pripravljena, se cikel podaljša (za 1, 2, 3... urine cikle)



Sinhroni pomnilnik

- ▶ Sinhroni pomnilnik potrebuje en čakalni cikel

```
p: process (clk_i)
begin
  if rising_edge(clk_i) then
    if stb_i='1' then
      active <= '1';
      if we_i='1' then
        ram(conv_integer(adr_i)) <= dat_i;
      else
        dat_o <= ram(conv_integer(adr_i))
      end if;
    else
      active <= '0';
    end if;
  end if;
end if;
```

```
ack_o <= stb_i and active;
```