
Mikroelektronski sistemi: vezja S-C in S-I

D. Strle

Zakaj vezja S-C ?

- **Zgodovina:**
 - 1873 (J.C.Maxwell: osnovna ideja),
 - 1972 , D. Fried: prvi integrirani filter S-C (primitivni)
- **Diskretni pasivni filtri (R,L,C):**
 - Problemi: majhen Q, velik volumen, velika cena, problem točnosti, problem elektromagnetnih interference,....
- **Diskretni aktivni filtri (R,C, Operacijski ojačevalniki):**
 - Problemi: točnost, površina silicija, poraba, cena, lezenje, temperaturna odvisnost, staranje, ...
 - Integrirani aktivni in pasivni filtri so uporabni za visoke frekvence in v posebnih primerih:
- **Vezja S-C in S-I:**
 - filtri, AD in DA pretvorniki, mešalniki, PLL,

Zakaj vezja S-C in S-I v povezavi s CMOS ?

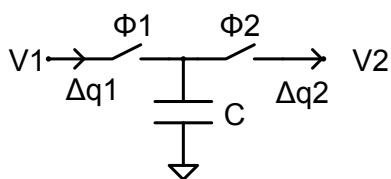
- **Stikalo:**
 - Visoka upornost v izključenem stanju (moderne tehnologije ?)
 - Nizka upornost v vključenem stanju (za dovolj veliko napajalno napetost)
 - Pri S-C vezju ni padca napetosti (ker ni toka skozi stikalo)
- **Kondenzator:**
 - Dobra linearnost (<50 ppm/V za MIM kondenzatorje.)
 - Dobra točnost primerjalna (do 0.1%)
 - Nizek temperaturni koeficient (<10 ppm/deg za MIM cap.)
 - MIM Poly/Poly ali capacitivnost vrat. (nelinearno)
- **S-I vezja:**
 - Potrebujemo le kvalitetne MOS transistorje

2013/2014

Mikroelektronski sistemi: vezja SC in SI

3

Vezje S-C: osnovna ideja

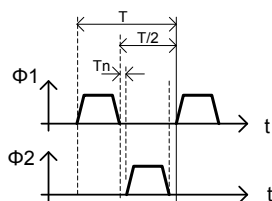


$$f(v_1, v_2) \ll \frac{1}{T}$$

$$\Delta q = i \cdot T = \Delta q_1 = \Delta q_2 = C(V_1 - V_2)$$

$$i = \frac{(V_1 - V_2)C}{T}$$

$$R_{eq} = \frac{T}{C} = \frac{1}{f \cdot C_s}$$

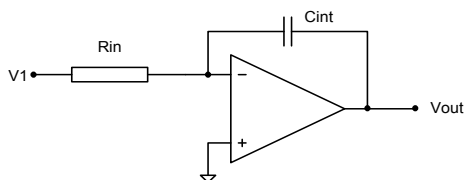


2013/2014

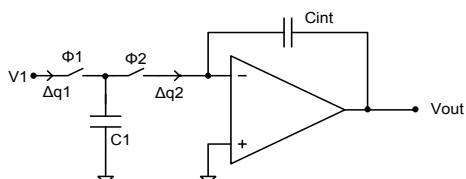
Mikroelektronski sistemi: vezja SC in SI

4

Vezje S-C: osnovna ideja



$$H(s) = -\frac{1}{sR_{in}C_{int}}$$



$$R_{eq} = \frac{1}{f_s C_1}; \quad f \ll f_s$$

$$H(s) \cong \frac{1}{sR_{eq}C_{int}} = f_s \frac{C_1}{C_{int}}$$

2013/2014

Mikroelektronski sistemi: vezja SC in SI

5

Vezje S-C: osnovne lastnosti

$$RC = 10^{-4} \quad c_u = 1 \left[\frac{fF}{\mu m^2} \right]; \quad r_u = 1 \left[\frac{k\Omega}{\square} \right]; \quad A_{ru} = 10 \mu m^2; \quad f_s = 100 kHz$$

	R_{eq}	$A_R [\mu m^2]$	C	$A_C [\mu m^2]$	$\Sigma A [\mu m^2]$
Aktivni int.	4M Ω	40000	25p	25000	65000
S-C int.	0.1p	100	1p	1000	1100

Prednosti vezji S-C:

- manjša površina (60x za zgornji primer)
- zelo dobra relativna točnost : 0.1%
- zelo majhen temperaturni koeficient: oba kondenzatorja sta iz enakega materiala
- manjši efekti staranja: oba kondenzatorja sta iz enakega materiala
- Vgrajen vzorčevalnik
- Primerno za realizacijo linearnih in nelinearnih funkcij

2013/2014

Mikroelektronski sistemi: vezja SC in SI

6

Vezje S-C: osnovne lastnosti

Slabosti vezji S-C:

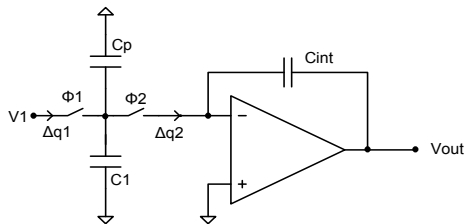
- Večja pasovna širina ojačevalnika v primerjavi z aktivnim integratorjem
- Potrebuje antialiasing filter
- Sinx/x efekt
- Glajenje na izhodu
- kT/C šum

2013/2014

Mikroelektronski sistemi: vezja SC in
SI

7

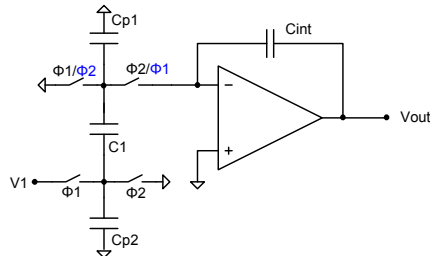
Vezje S-C: integrator



Integrator S-C občutljiv na parazite:

$$R_{eq} C = f_s \frac{C_{int}}{C_1 + C_p}$$

- Napačna RC konstanta
- Cp je nelinearen



Integrator S-C neobčutljiv na parazitne kapacitivnosti:

$$R_{eq} C = f_s \frac{C_{int}}{C_1}$$

Integrator S-C, ki ne invertira

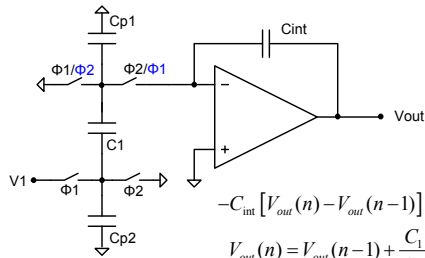
Integrator S-C, ki invertira

2013/2014

Mikroelektronski sistemi: vezja SC in
SI

8

Vezje S-C: diferenčne enačbe



$$-C_{int} [V_{out}(n) - V_{out}(n-1)] = -C_1 V_1(n-1)$$

$$V_{out}(n) = V_{out}(n-1) + \frac{C_1}{C_{int}} V_1(n-1)$$

$$V_{out}(z) = z^{-1} V_{out}(z) + \frac{C_1}{C_{int}} z^{-1} V_1(z); \Rightarrow H(z) = \frac{V_{out}(z)}{V_1(z)} = \frac{C_1}{C_{int}} \frac{z^{-1}}{1 - z^{-1}}$$

$$-C_{int} [V_{out}(n) - V_{out}(n-1)] = C_1 V_1(n)$$

$$V_{out}(n) = V_{out}(n-1) - \frac{C_1}{C_{int}} V_1(n);$$

$$V_{out}(z) = z^{-1} V_{out}(z) - \frac{C_1}{C_{int}} V_1(z); \Rightarrow H(z) = \frac{V_{out}(z)}{V_1(z)} = -\frac{C_1}{C_{int}} \frac{1}{1 - z^{-1}}$$

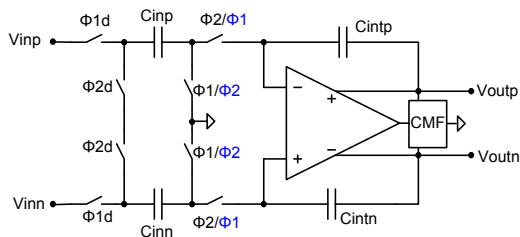
2013/2014

Mikroelektronski sistemi: vezja SC in
SI

9

Vezje S-C: Diferencialna realizacija

neinvertirajoča, inverirajoča



Zakasnjene faze (Φ1d, ...): za redukcijo signalno odvisne injekcije naboja v signalno pot.

Primerjava z navadnim integratorjem S-C:

Prednosti:

- Zmanjšane sode harmonske komponente,
- Zmanjšani vpliv ničelne napetosti (offset),...
- Povečano dinamično območje

Slabosti:

- Večja površina silicija

2013/2014

Mikroelektronski sistemi: vezja SC in
SI

10

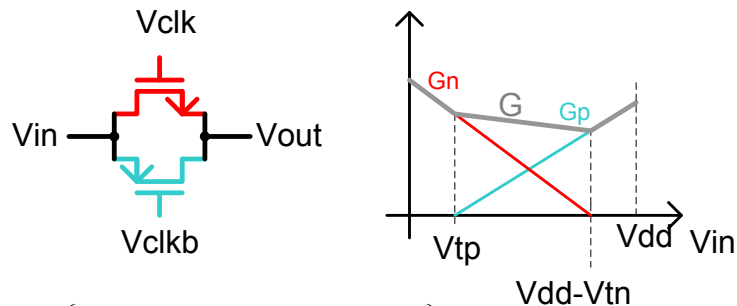
Vezje S-C: elementi (kondenzatorji)

- **Kondenzatorji:**

- Metal preko difuzije (stare CMOS tehnologije) (layout)
 - Se več ne uporablja
- Metal (ali poly silicij) preko poly silicija (layout)
 - Dobra relativna točnost (<0.2%)
 - TC<100ppm/deg.,
 - VC<150ppm/V)
- Metal preko metala (MIM): nove tehnologije (layout)
 - VC < 30ppm/V)
 - TC < 10ppm/deg.K)
 - Relativna točnost (<0.1%),

$$\frac{\Delta C}{C} = \alpha \sqrt{\frac{\beta}{WL}} + \xi S^2$$

Vezje S-C: elementi (stikala)

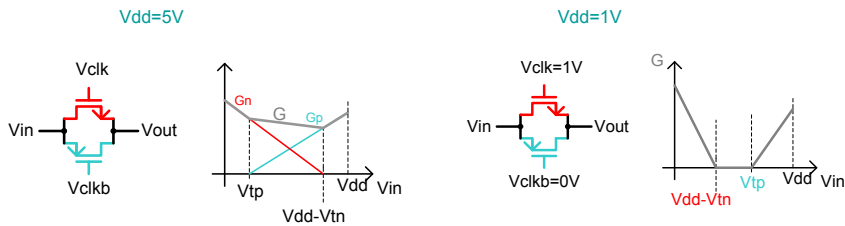


$$G = \begin{cases} 0 & \text{off } V_{clk} = 0 & V_{clkb} = V_{dd} \\ G_{on} & \text{on } V_{clk} = V_{dd} & V_{clkb} = 0 \end{cases}$$

$$G_{on} = \begin{cases} G_n & \text{for } V_{in} < V_{tp} \\ G_n + G_p & \text{if } V_{tp} < V_{in} < V_{dd} - V_{tp} \\ G_p & \text{for } V_{dd} - V_{tn} < V_{in} < V_{dd} \end{cases}$$

Vezje S-C: problem nizke napajalne napetosti

Ko je $V_{dd} < V_{TP} + V_{TN}$ $G \Rightarrow \text{inf}$.



2013/2014

Mikroelektronski sistemi: vezja SC in SI

13

Vezje S-C: elementi (opamp)

Specifikacije operacijskega ojačevalnika:

- **GBW**: $f_0 \cong 5f_s$
- **A0**: čim večji (odvisno od zahtev po točnosti, stabilnosti itd.). Določa točnost prenosa naboja v Cint.
- **Šum**: običajno šum operacijskega ojačevalnika ni problem (razen $1/f$ šum) ker je kT/C šum večji
- **SR**: mora imeti strmino večjo kot je strmina odziva linearne sistema, ki ga tvori ojačevalnik s povratno vezavo. Na ta način zmanjšamo popačenja.
- **Offset**: lahko reduciramo z tehniko CDS ali tehniko sekanja na račun povečanja termičnega šuma
- **$1/f$ šum**: lahko reduciramo z tehniko CDS ali tehniko sekanja na račun povečanja termičnega šuma

2013/2014

Mikroelektronski sistemi: vezja SC in SI

14

Vezje S-C: problem nizke napajalne napetosti

Pri modernih CMOS tehnologijah se napajalna napetost znižuje hitreje kot pragovna napetost transistorjev: (sub-threshold leak.)

Rešitev::

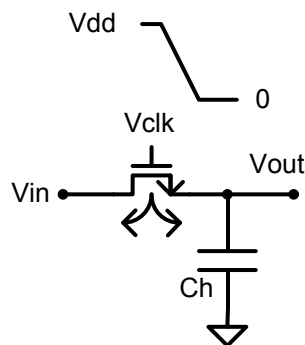
- Dvig napetosti za celotno S-C vezje (On chip charge pump)
 - Zahteva zunanji kondenzator in regulator
 - Velika površina, zanesljivost.
- CMOS Proces z znižano pragovno napetostjo
 - Visoka cena procesa,
 - Pod-pragovno puščanje (sub-threshold leakage)
- Lokalni dvig napetosti za stikala (bomo obravnavali kasneje)
 - Zanesljivost (stres tankega oksida)
- „Switched opamp“
 - Hitrost in točnost je lahko problem

2013/2014

Mikroelektronski sistemi: vezja SC in SI

15

Vezje S-C: injekcija naboja (charge injection)



Injekcija naboja iz kanala:

$$Q_{ch} = \frac{WLC_{ox}(V_{dd} - V_{in} - V_T)}{2}$$

$$V_{out} \cong V_{in} - \frac{WLC_{ox}(V_{dd} - V_{in} - V_T)}{2C_h}$$

$$V_{out} \cong V_{in} \left(1 + \frac{WLC_{ox}}{2C_h} \right) - \frac{WLC_{ox}}{2C_h} (V_{dd} - V_T)$$

Napaki:

- ojačanje,
- ničelna napetost (offset)

- Substrat povzroči nelinearno injekcijo naboja
- Za majhno napako mora biti stikalo majhno
- Velikost stikala je določena s potrebno časovno konstanto prenosa naboja

2013/2014

Mikroelektronski sistemi: vezja SC in SI

16

Vezje S-C: injekcija naboja (časovna konstanta)

Povečanje C_h ali povečanje upornosti stikala poveča časovno konstanto:

$$\tau = R_{on} C_h = \frac{C_h}{\mu C_{ox} \frac{W}{L} (V_{dd} - V_{in} - V_T)}$$

$$\Delta V = \frac{W L C_{ox}}{C_h} (V_{dd} - V_{in} - V_T)$$

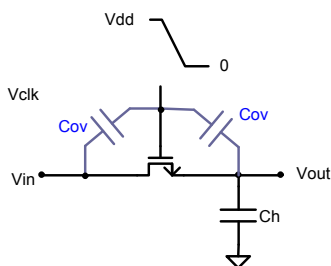
$$\tau \Delta V = \frac{L^2}{\mu}$$

Ravnotežje med hitrostjo in precizijo mora biti optimalno

- Se izboljšuje s krajšim L
- **Moderne tehnologije CMOS omogočajo izboljšanje**

Vezje S-C: injekcija naboja (presluh urinih signalov)

Parazitna kapacitivnost (Overlap capacitance C_{ov}) povzroči presluh urinega transienta v kapacitivnost C_h ob prehodu „on-to-off“ (clock-feed-through). Napaka je proporcionalna širini kanala in tehnologiji.



$$V_{out} \cong V_{in} - V_{dd} \frac{W C_{ov}}{W C_{ov} + C_h}$$

„clock-feedthrough“ efekt povzroči ničelno napetost (offset)

Veze S-C: zmanjševanje injektorije naboja

- **Vzporedno stikalo (Dummy switch) z $\frac{1}{2} W$ originalnega MOS transistorja in obratno krmilno napetostjo**
 - Eliminira pojav „clock-feed-through“
 - Delno popravi injektorijo naboja iz kanala
- **CMOS stikalo s P in N MOS transistorjema enake velikosti:**
 - Delno eliminira injektorijo naboja za eno vhodno napetost
 - Signalno odvisno injektorijo naboja ne popravi
 - Ne eliminira pojava „clock-feed-through“ ker sta v splošnem pragovni napetosti neenaki parajitni kapacitivnosti pa tudi ne.
 - Diferencialna struktura s CMOS stikali vzporednim stikalom in pravilnim krmiljenjem zelo zmanjša vse vrste neidealnih injektorij nabojev in pojava „clock-feed-through“.

Veze S-C:ostale neidealnosti

- **Plazeči tok PN spoja stikala (Junction leakage); nepomemben za velik f_s**
- **Podpragovno puščanje (Subthreshold leakage) modernih CMOS procesov s kratkimi kanali**
- **kT/C šum**
- **Različni nakloni signalov clk in clkb**
- **Parazitne kapacitivnosti**
- **Karakteristike operacijskega ojačevalnika: A_0 , GBW, SR, Ofset, ...**
- **Aliasing na vhodu**
- **Presluh iz substrata in napajalnih linij ter aliasing efekt teh signalov.**
- **Presluh digitalnih signalov**

Vezje S-C: Uporaba

- Filtri S-C
- Druge aplikacije:
 - Napetostni ojačevalniki
 - **AD in DA pretvorniki**
 - Comparatorji
 - Modulatorji
 - Usmerjevalniki
 - Detektorji vršne vrednosti
 - Oscilatorji
 -

Vezje S-C: Načrtovanje

- Vhodni podatki:
 - Definicija prevajalne funkcije ali spekter pred in po filtru S-C (Amplituda, faza, frekvenčne meje, tip filtra)
 - Točnost, Šum, moč, površina silicija..
- Sinteza prevajalne funkcije,
 - Matlab (fdatool)
- Izbira topologije.
 - Cascaded biquadratic sections
 - Coupled biquadratic sections
 - Simulation of passive ladder
 - Matlab (fdatool)
- Izračun elementov in simulacije
 - Optimizacija nivojev, šuma, površine, ...
 - Definicija stikal ojačevalnikov, krmilnega vezja, ...
 - Simulacije na nivoju sistema (Matlab/Simulink)
 - Simulacije na nivoju vezja (Cadence)

Vezje S-C: Načrtovanje

- Načrtovanje stikal in opearcijskih ojačevalnikov
- Načrtovanje vezja za generiranje urinih signalov
- Načrtovanje „layouta“
- „Post layout simulacije“, kjer vključimo tudi parazitne kapacitivnosti iz „layouta“

Orodja:

- Matlab (fdatool)
- Matlab/Simulink
- Cadence

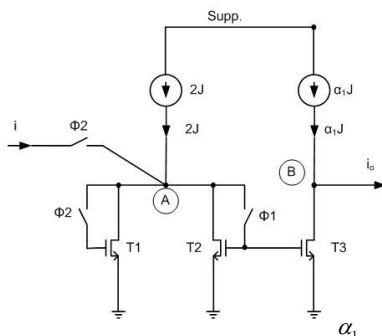
2013/2014

Mikroelektronski sistemi: vezja SC in SI

23

Vezje S-I: Implementacija integratorja

- Če kondenzatorji in upori niso na razpolago v CMOS procesu potem lahko uporabimo:
 - S-I vezje: Vezje stikalo tok (Switched current) implementacija integratorja v časovno diskretnem prostoru



ob Φ_2 ; $(n-1)$; T_1 je priključen kot dioda

vozlisce A: $-i_{T_1}(n-1) - i_{T_2}(n-1) + i(n-1) + 2J = 0$

vozlisce B: $\alpha_1 J - i_o(n-1) - \alpha_1 i_{T_2}(n-1) = 0$

$$i_{T_2}(n-1) = J - \frac{i_o(n-1)}{\alpha_1}$$

$$\begin{aligned} i_{T_1}(n-1) &= 2J + i(n-1) - \left[J - \frac{i_o(n-1)}{\alpha_1} \right] = \\ &= J + i(n-1) + \frac{i_o(n-1)}{\alpha_1} \end{aligned}$$

2013/2014

Mikroelektronski sistemi: vezja SC in SI

24

Vezje S-I: Implementacija integratorja

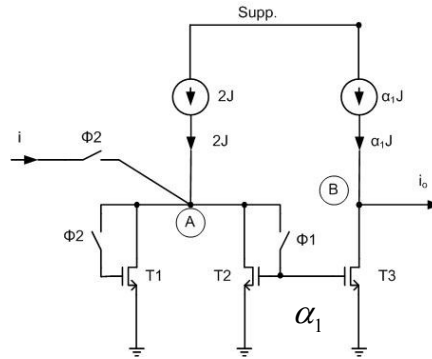
ob $\Phi 1$ (cas n): T_2 je v diodni vezavi

$$i_{T_1}(n) = i_{T_1}(n-1) = J + i(n-1) + \frac{i_o(n-1)}{\alpha_1}$$

$$i_{T_2}(n) = 2J - i_{T_1}(n) = 2J - J - i(n-1) - \frac{i_o(n-1)}{\alpha_1} = J - i(n-1) - \frac{i_o(n-1)}{\alpha_1}$$

$$i_o(n) = \alpha_1 J - \alpha_1 i_{T_2}(n) = \alpha_1 J - \alpha_1 \left[J - i(n-1) - \frac{i_o(n-1)}{\alpha_1} \right]$$

$$i_o(n) = i_o(n-1) + \alpha_1 i(n-1)$$



$$H(z) \triangleq \frac{\alpha_1 z^{-1}}{1 - z^{-1}}$$

Enaka prevajalna funkcija kot integrator S-C