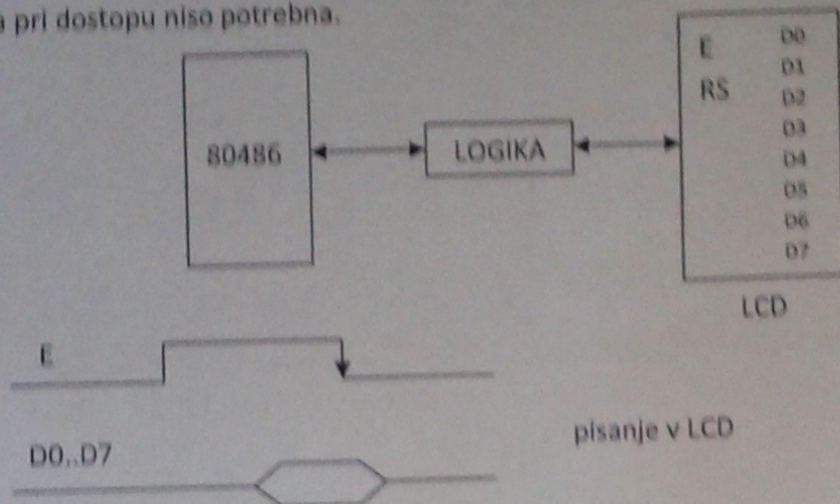


ORGANIZACIJA RAČUNALNIŠKIH SISTEMOV IN ARHITEKTURA RAČUNALNIŠKIH SISTEMOV II

Pisni izpit 14.06.2012

1. V sistem z mikroprocesorjem 80486 želimo priključiti preprost LCD prikazovalnik. V LCD lahko samo pišemo, kar je potrebno upoštevati pri logiki za potrjevanje prenosov. Podatki se v LCD vpisujejo ob negativni fronti na vhodu E, s signalom priključenim na vhod RS pa izbiramo med ukaznim in podatkovnim registrom znotraj prikazovalnika. LCD želimo priključiti od V/I naslova 0x00F2 dalje. Narišite vso potrebno logiko. Za priključitev LCD-ja na podatkovno vodilo procesorja 80486 uporabite vezja 74xx245. LCD je zadosti hiter, da čakalna stanja pri dostopu niso potrebna.



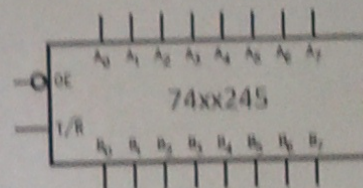
Pin Descriptions

Pin Names	Description
OE	Output Enable input (Active LOW)
T/R	Transmit/Receive Input
A ₀ -A ₇	Side A Inputs or 3-STATE Outputs
B ₀ -B ₇	Side B Inputs or 3-STATE Outputs

Truth Table

Inputs		Output
OE	T/R	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	HiZ/3 State

H: HIGH Voltage Level
L: LOW Voltage Level
X: indeterminate

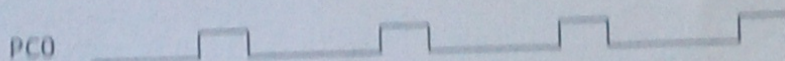


2. Časovnik TCO je inicializiran tako, da se zastavica CPCS postavi 1000 krat na sekundo. Na izhodu PC0 vmesnika PIO želimo dobiti signal frekvence 50 Hz, ki ima razmerje med časom nizkega in visokega nivoja (duty cycle) enako 7:3 (glej sliko). V zbirnem jeziku ARM napišite program, ki inicializira vmesnik PIO tako, da je na PC0 digitalni vhod. To naredite tako, da v bit 0 registrov PIO_PER in PIO_OER zapišete enico. Nato v neskončni zanki tvorite opisani signal. Stanje na izhodu določite z vpisom enice v bit 0 registrov PIO_SODR (izhod gre v 1) oziroma PIO_CODR (izhod gre v 0). Zastavica CPCS je bit 4 registra TC_SR. Začetni naslovi in odmiki do registrov obeh V/I naprav so naslednji:

```
.equ PIOC_BASE, 0xFFFFFB00 /* Začetek registrov za vrata C = PIOC */
.equ PIO_PER, 0x00 /* Odmiki... */
.equ PIO_OER, 0x10
.equ PIO_SODR, 0x30
.equ PIO_CODR, 0x34

.equ TCO_BASE, 0xFFFFA000 /* TCO Channel Base Address */
.equ TC_SR, 0x20 /* TCO Status Register */
```

Skica signala, ki ga je potrebno tvoriti:



3. Za nek SDRAM (ne DDR) s frekvenco ure 133 MHz veljajo naslednji časovni parametri: $t_{CL} = 2$ u.p., $t_{RCD} = 12$ ns, $t_{RP} = 12$ ns, $t_{RAS} = 40$ ns.

- a) Najmanj koliko urinih period bo poteklo od izstavitve ukaza za odpiranje vrstice do vključno periode, v kateri se prenese zadnji podatek, če iz SDRAM-a beremo zaporedne štiri besede.
- b) Koliko urinih period bi trajalo branje iz prejšnje točke, če bi namesto običajnega SDRAM-a uporabili DDR2 SDRAM s frekvenco ure 200 MHz in enakimi časovnimi parametri?

- t_{CL} - CAS latenca (CAS latency)
 t_{RCD} - zakasnitev RAS do CAS (RAS to CAS delay)
 t_{RP} - zapisovanje vrstice (row precharge)
 t_{RAS} - čas od odpiranja vrstice do zapisovanja vrstice (row active to precharge)

TOČKE: 1-40, 2-35, 3-25. Čas reševanja: 70 minut.

Rezultati za ARS II bodo objavljeni v petek 15. junija 2012, ustni izpiti bodo od ponedeljka 18. junija 2012 dalje.
Rezultati za ORS bodo objavljeni v ponedeljek 18. junija 2012, ustni izpiti bodo od torka 19. junija 2012 dalje.