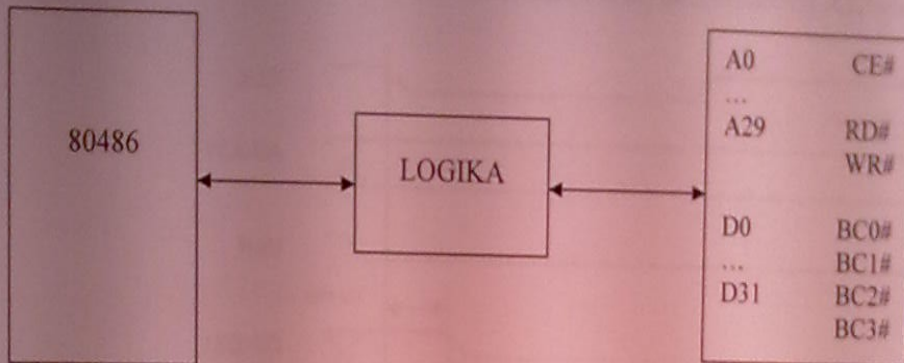


# ARHITEKTURA RAČUNALNIŠKIH SISTEMOV II

Pisni izpit 23.9.2010

- 1) Na procesor 80486 želimo priključiti 4 GB pomnilniški modul kot V/I napravo. Modul je prikazan na spodnji sliki. Signali CE# (chip enable), RD# (read), WR# (write) ter BC0#, BC1#, BC2#, BC3# (byte control) so aktivni v nizkem stanju. Dostop do modula poteka tako, da procesor na V/I naslov 01F4<sub>(16)</sub> najprej vpiše 32-bitno vrednost, ki služi kot dostopni naslov v modulu. To 32-bitno vrednost morate shraniti v štiri zapae 74XX373. Do podatkov pa nato dostopamo preko V/I naslovov 01F0<sub>(16)</sub>(LSB) do 01F3<sub>(16)</sub>(MSB). Narišite vso potrebno logiko vključno s potrjevanjem.



Signal	Aktivni sig.
BC0#	D0-D7
BC1#	D8-D15
BC2#	D16-D23
BC3#	D24-D31

Funkcijska tabela za signale BC0#-BC3#

D0	7	Q0
D1	4	Q1
D2	x	Q2
D3	x	Q3
D4	x	Q4
D5	3	Q5
D6	7	Q6
D7	3	Q7
LE		OE

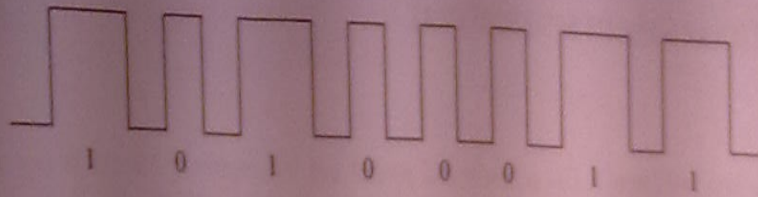
INPUTS			OUTPUT
OE	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

Funkcijska tabela za 74xx373

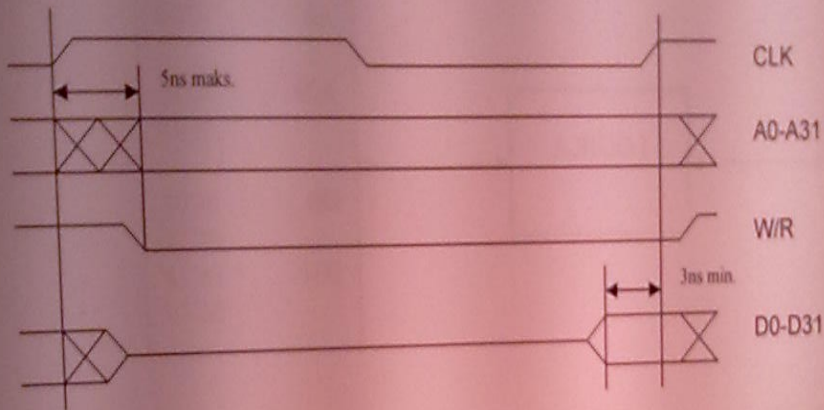
- 2a) (68HC11) Za 68HC11 napišite podprogram za pošiljanje 8-bitnega podatka s pomočjo impulzno širinske modulacije (slika). Prenos podatkov je serijski, 8-bitni podatki se pošiljajo začenši z bolj pomembnim bitom. Stanje posameznega bita je kodirano z dolžino impulza: enica je kodirana z 0,2 ms dolgim, ničla pa z 0,1 ms dolgim impulzom. Razmiki med impulzi so dolgi 0,1 ms. Zakasnitve zagotovite s klicem podprograma DELAY, ki že obstaja in se izvaja 0,1 ms. Podprogram naj podatek, ki ga je potrebno poslati, dobi v akumulatorju A. Signal tvorite na priključku PA0 (vrata A, bit 0) vezja PIA. Inicializacija sklada in vezja PIA ni potrebna. Zgled: na sliki je prikazan prenos podatka 10100011<sub>(2)</sub>. PIA se nahaja od naslova 1800<sub>(16)</sub> dalje.

- 2b) (ARM) Za AT91SAM9260 napišite podprogram za pošiljanje 8-bitnega podatka s pomočjo impulzno širinske modulacije (slika). Prenos podatkov je serijski, 8-bitni podatki se pošiljajo začenši z bolj pomembnim bitom. Stanje posameznega bita je kodirano z dolžino impulza: enica je kodirana z 0,2 ms dolgim, ničla pa z 0,1 ms dolgim impulzom. Razmiki med impulzi so dolgi 0,1 ms. Zakasnitve zagotovite s klicem podprograma DELAY, ki že obstaja in se izvaja 0,1 ms. Podprogram naj podatek, ki ga je potrebno poslati, dobi v registru R0. Signal tvorite na priključku PC0 (vrata C, bit 0). Priključek PC0 je že primerno inicializiran, prav tako je inicializiran sklad, ki se širi proti nižjim naslovom, kazalec na sklad pa kaže na zadnji element na skladu. Zgled: na sliki je prikazan prenos podatka 10100011<sub>(2)</sub>. Naslovi in odmik za delo z vrati C so: PIOC\_BASE = 0xFFFFF800, PIO\_SODR = 0x30, PIO\_CODR = 0x34.

ENICA → 2x Delay  
0 → 1x Delay



- 3) Iz prikazanega diagrama za bralni cikel pri nekem procesorju izračunajte maksimalni dostopni čas pomnilnika, da bo sistem še pravilno deloval. Prenos podatkov po vodilu traja eno urino periodo. Frekvenca ure CLK procesorja je 40 MHz. Zakasnitev dekodirnika znaša 2 ns.



TOČKE: 1-45, 2-40, 3-15. Čas reševanja: 75 minut.  
Rezultati bodo objavljeni v petek 24.9.2010, ustni izpiti bodo od ponedeljka 27.9.2010 dalje.