

Priprava FAQ vprašanj, neponavljajoče – 21. 6. 2012

1. PIA (peripheral interface adapter)
 - a. usklajeno delovanje PIA (bistvo, signali CA1,2, CB1,2)
 - b. kako ve PIA kdaj postaviti CA/CB?
 - c. avtomatski odziv na delovanje perifernih enot. (nič kaj podrobno, vedeti je potrebno le tiste 4 signale CA1, CA2, CB1, CB2 in povedati kdaj so aktivni)
 - d. V/I usklajevalni način
 - e. kaj to pomeni, da je enkrat vhod in enkrat izhod? (Tukaj sva zaključila, ker mu nisem s točno takimi besedami povedal da naprava kot vhod sprejema signale, kot izhod pa jih oddaja.)
 - f. kako je nastavljen vmesnik A, B?
2. DMA prenosi
 - a. Načini, kako delujejo ? (**zaporedni, istočasni**, besedni, eksplozijski, zvezni)
 - b. »fly-through«- istočasni prenos
 - i. kako izberemo napravo
 - ii. kdo je naslovnik?
 - iii. kakšni so tu problemi? (na koga se nanašajo naslovni signali, vedno tu pomnilnik, kjer se naslov spreminja)
 - iv. kako naslovimo napravo? (da ponavadi z nekimi RDY pa DACK signali)
 - v. kako je s smerjo prenosa? (? To rečeš da ko je DMA (ampak samo ko je DMA) invertiraš signal W/R od spomina in ga pošlješ v napravo.)
 - c. kateri se pogosteje uporablja fly-by ali fly-through
 - d. zakaj niso naslovni signali za V/I naprave?
3. Intel PIC(program interrupt controller) 8259A
 - a. na enem vhodu imamo prekinitev.. potek prekinitev
 - i. kako se odzove procesor
 - ii. kaj naredi krmilnik
 - iii. kateri registri sodelujejo
 - iv. kdaj se brišejo prekinitvene zahteve iz ISR (ko ob koncu PSP programer v krmilnik pošlje ukaz EOI)

- v. ZELO podrobno, vrstni red vpisov IRR, ISR, proženje INT
 - vi. kako vpliva IMR
 - vii. kaj se dogaja v 1. in kaj v 2. ciklu?
- b. kako je z gnezdenjem prekinitev? (moreš omenit, da pic to omogoča!)
 - c. kaj mora na koncu narediti PSP (EOI ukaz)
 - d. **kaj se zgodi, ko pride signal na IRx vhod** (v registru IRR se ustrezen bit postavi na 1, če ni maskiran, najprej pogleda, če servisira kako drugo prekinitev, **kako pa to ve??**)
 - e. kaj ga omogoča, katera prekinitev gre naprej
 - f. kako ve krmilnik, kakšna je prioriteta izvajane prekinitve (najvišji bit v ISR!)
 - g. register ISR
 - i. kaj je v njem? (oznacene prioritete zahtev, ki so se zacele servisirati in še niso bile zaključene z ukazom EOI. Me je pa popravu da niso oznacene prioritete zahtev, ampak zahteve in iz katerega vhoda so prišle (lahko si predstavljamo da oznacujejo prioritete pri polno vgnezenem nacinu, pri drugih pa ni nujno tako))
 - ii. kaj pomeni če je 1, kaj če je 0?
 - iii. s čim brišemo vrednost v ISR? (Programer vpiše v kontrolni register bitno kombinacijo (ukaz OUT)- to je hotu nujno slišat, ta ukaz OUT.)
 - h. na predavanjih je profesor eksplicitno povedal, da ni nobenga signala ki bi povedal kdaj se je procesor odzval na ppc !
 - i. Se pravi mu rečeš da nimamo nobenega signala s katerim bi mikroprocesorju sporočil zahtevo za prekinitev, tako da mikroprocesor nima pojma kdaj pride do PPC in kdaj do PSP on pač to obravnava kot normalen potek.

4. PIC 6828

- a. za katere procesorje prilagojen?
- b. kako je s prekinitvenimi vektorji?
- c. kako procesor predpostavlja, da se je začel PPC, kako ve, da imamo prekinitev?
- d. kako deluje (preslikava signalov A1-A4 v Z1-Z4)
- e. kdaj se naslov FFF8 in FFF9 preslika kdaj pa ne (prekinitve na vhodu IN7-IN0)
- f. kaj je problem pri tem prekinitvenem krmilniku (da pač iz signalov ne moremo razbrati kdaj se odzove na prekinitev).
- g. drugi problemi (motorola ima fiksne vektorje, zato se uporablja prek. krmilnik)

- h. kako dobimo vektor?
- i. kdaj pride do prekinitve?
- j. kako realizirano preslikovanje?

5. SDRAM

- a. zgradba
- b. zakaj je hitrejši od asinhronskega in kje? (page mode?)
- c. razlika od DRAM-a, zakaj hitrejši (sinhronski cevovodni)
- d. DDR SDRAM
 - i. zakaj hitrejši od navadnih, (prefetch)
 - ii. pri katerih prenosih hitrejši
 - iii. kako izvedemo navadne prenose pri njih?
 - iv. kaj, če hočemo brati le 1 bit? (?maskiranje-pisanje, rezanje-branje)
 - v. opiši prefetch register, kaj je, zakaj je dober? (omogoča višje hitrosti - iz reg. vrstice se prenaša več bitov kar je v večini primerov uporabno npr. pri zamenjavi blokov v predpomnilniku)
 - vi. kako naredimo prenos samo enega podatka (maskirni signal), kaj to pomeni pri branju iz pomnilnika (CPE ignorira ostale podatke); (DM za maskiranje podatkov)
 - vii. DDR3, koliko bitov se prenese naenkrat
 - viii. koliko bitov se prenese naenkrat, če imamo DDR2? (4 biti ni pravilno)
- e. običajna velikost čipov?
- f. kaj je treba narediti, da preberemo podatek?
- g. DIMM moduli
 - i. velikost
 - ii. kaj pomeni DIMM kratica
 - iii. razloži double v njenem imenu (obojestranski čipi in konektorji)
- h. pri katerih dostopih se pozna razlika (page mode)
- i. CAS latenca?
- j. ni treba biti tako strog pri CAS, RAS latencah
- k. kdaj pošljemo kontrolne ukaze? (še preden se je prejšnji prenos končal)

I. kakšni so ukazi? (odpiranje vrstice, zapiranje, branje, ...)

6. IBM 370

- a. kako poženemo kanalski program?
- b. kako naslovimo kanale?
- c. kaj se zgodi pri ukazu START I/O (str. 380 nova knjiga)
- d. na splošno o START SUBCHANNEL
 - i. kaj se pri njem zgodi?
 - ii. kako ve, za kateri podkanal gre
 - iii. na kakšnem naslovu je ORB blok
 - iv. kdaj se ukaz konča?
 - v. format ukaza?
 - vi. zgradba ORB, biti v PSW
 - vii. pomen posameznih stanj PSW? (0,1,2,3)
 - viii. stanje po prenosu?
- e. 3 faze kanala (izbira, prenos, končno zaporedje)
 - i. kaj se dogaja v posamezni fazi
- f. ali ima kanal svoj pomnilnik? (ne, jemlje iz GP)
- g. zgradba CCW ukaza
 - i. ali so naslovi navidezni ali fizični?
 - ii. **do kakšnega problema pride pri naslovih, kako ga rešimo?**
 - iii. zakaj je naslov fizičen?
- h. ORB blok
 - i. kje dobimo naslov?
 - ii. kakšen je naslov? (navidezen)
 - iii. kje vidi programer, če se ORB blok pravilno prenese?
 - iv. kaj je v ORB bloku?
- i. ZASTAVICE
 - i. pomen IDA?
- j. kaj pomeni status »PENDING« v PSW?

- k. povej nekaj o TEST SUBCHANNEL
- l. Kako vemo, da je CCW zadnji ukaz? (CC=0,CD=0)

7. PRENOSI

- a. kratek opis vseh, kje so izboljšave
- b. eksplozijski prenos
 - i. zakaj so ga sploh razvili? (problem počasnega potovanja signalov, enačba)
 - ii. koliko znaša c ? (svetlobna hitrost?)
 - iii. zakaj boljši od navadnega?
 - iv. ideja?(podobno kot pri prefetch: 95% prenosov predstavlja zamenjavo blokov v predpomnilniku, kjer so podatki na zaporednih naslovih)
 - v. **kaj je latenca** (čas ki ga porabijo signali za potovanje skozi vezje pa je bilo ok, je pa latenca enaka $2 \cdot \tau + t_{\text{zakasnitev}}$)
- c. protokolski prenos
 - i. zakaj je bil uveden?(ker je pri eksplozijskih še vedno na vsakih 4/8/16 podatkov vrzel, kjer se podatki ne prenašajo)
 - ii. kaj je tu ukaz?
- d. izvorno-sinhronski prenos
 - i. kakšnega ima Intel (quad pump)
 - ii. zakaj je potreben, zakaj je uveden?
 - iii. zakaj ga uporabljamo? (zaradi urinega zamika!)
 - iv. kaj je urin zamik (razlika med največjo in najmanjšo zakasnitvijo urinega signala.)
 - v. kako rešimo problem urinega zamika (s sinhronskim signalom ...)
 - vi. zakaj urin zamik sploh problem??
 - vii. kako poteka, natančen opis
 - viii. ali pride še vedno do urinega zamika?
 - ix. enačba za pravilen prenos($t_{\text{vzpa}} + t_{\text{dostopa}} \leq T - \text{urin zamik}$)
 - x. kdo pošilja sinhronizacijski signal? (**tisti, ki pošilja podatke**)

xi. zakaj je zakasnitev SLABA? (pribl. ker ima naprava manj časa za reakcijo. včasih toni bil problem, ker so bili računalniki počasni, danes so hitri in zato imamo izvorno – sinhronski prenos)

e. QUAD PUMP

- i. zakaj sta dva sinhronizacijska signala? (sta zamaknjena)
- ii. zakaj sta zamaknjena? (zato, da ni treba za 2x povečat frekvence ure)
- iii. zakaj pa ne povečat? (ker povzroča probleme)

f. kaj je tista zakasnitev na začetku (latenca)

g. kaj je tau

h. **kakšna je hitrost signalov?**

8. DRAM

a. kako dostopamo do informacije

b. kako deluje

- i. zgradba
- ii. postopek pri branju/pisanju (Torej RAS, naslov vrstice, držalni čas, CAS, naslov vrstice, držalni čas, pol je en pretek časa pa se pojavijo na Dout podatki, potem pa row precharge)
- iii. Kaj se zgodi pri RAS? (V register vrstice se prenese vrstica, ki se v bitni ravnini uniči)
- iv. koliko časa je treba čakati od RAS do CAS? Zakaj?

c. kaj je pogoj, da beremo vrstico (mora biti odprta)

d. kaj moramo narediti, ko jo preberemo? (jo zapreti)

e. OSVEŽEVANJE

- i. kako poteka
- ii. zakaj potrebno
- iii. načini osveževanja

f. Kako veliki so danes?

g. signali ali ukazi? (drugo!)

9. VEZJA

a. TTL

- i. Standardni napetostni nivoji(Poveš 2.4 OH, 2.0 IH)
 - ii. treba vedeti tistih 8 števil??
 - iii. Kaj je standardno TTL breme?
 - iv. odpornost proti šumu?
 - v. Zakaj je pomemben podatek o bremenu? (za priključitev naprav)
- b. kaj mora veljati za prehod skozi prepovedano območje
 - c. katera družina se danes uporablja (pri mikroprocesorjih)
 - d. GTL
 - i. kaj pomeni?
 - ii. kakšno je prepovedano območje?
 - iii. zakaj se uporablja?
 - iv. prednosti?

10. PAGE MODE

- a. do kakšnih blokov dostopamo?
- b. kaj je to, kako ga dosežemo?
- c. kaj je naslov vrstice, kaj naslov stolpca, da deluje dobro?
- d. kdaj in kje se uporablja, prednosti?
- e. kolikokrat je hitrejši od navadnega? (10x)
- f. ali je uporaben brez predpomnilnika? (zelo omejeno, ampak lahko)
- g. kako se uporabi na DRAM-u?
- h. kako izberemo naslov za stolpce? (nižji biti)
- i. kaj se zgodi, če uporabimo nižje bite za naslov vrstice?
- j. kako vemo, da so v registru sosednji naslovi? (uporabimo spodnje bite za naslov stolpca)
- k. so fizični ali navidezni naslovi?
- l. **kako je sestavljen predpomnilnik?**

11. EPROM

- a. zgradba
- b. kako pišemo vanj?

c. kolikokrat je pisanje počasnejše od branja?

12. EEPROM

a. primerjava z DRAM-ovim celicam?

b. zakaj on 10 let, DRAM 64ms?

13. PPC (prekinitveno prevzemni cikel!)

14. NETBURST

15. QPI, FSB

16. Hyper Thread

17. Intel pentium 4, core i7, i3 ...