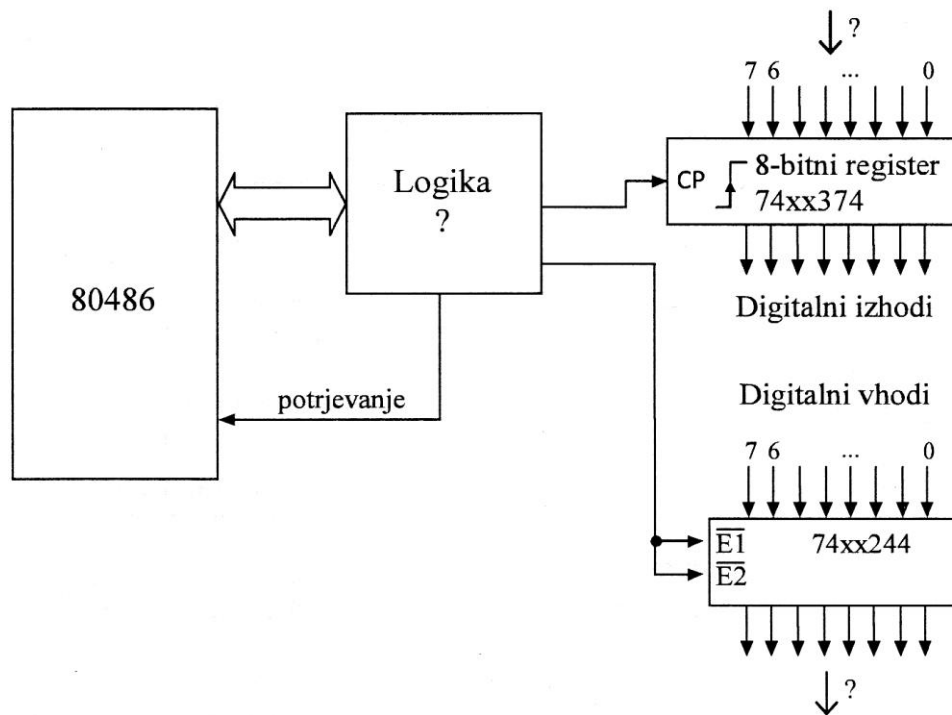


# ORGANIZACIJA RAČUNALNIŠKIH SISTEMOV

## Kolokvij 01.06.2011

- Na mikroprocesor 80486 priključite 8-bitni register 74xx374, s katerim želimo dobiti 8 digitalnih izhodov in vezje 74xx244, s katerim dobimo 8 digitalnih vhodov. S pisanjem na V/I naslov 0xFFFE določamo stanje izhodov, stanje vhodov pa dobimo z branjem istega naslova. Realizirajte potrebno logiko, vključno s potrjevanjem (čakalne periode niso potrebne). Pri realizaciji logike upoštevajte, da se podatek zapiše v register ob pozitivni fronti kontrolnega signala.



- Napišite **prekinitveni servisni program** (PSP) za AT91SAM9260 (ARM), ki iz analogno digitalnega pretvornika (ADC) prebere 16-bitno vrednost, ki je shranjena v registru ADC\_DATA, in jo zapiše v krožni medpomnilnik BUFFER velikosti 32 bajtov. Po branju podatka morate sprožiti novo pretvorbo, kar storite tako, da v bit 7 registra ADC\_CONTROL zapišete enico. Upoštevajte, da so vsi registri do katerih dostopa mikrokrmilnik 32 bitni.

Namig za vpis podatka v medpomnilnik: naslov (lahko tudi odmik), na katerega boste zapisali trenutni podatek, naj bo shranjen v spremenljivki. Ob vsaki prekinitvi podatek zapišete na ta naslov, nato naslov povečate in ga shranite nazaj v spremenljivko. Če pri povečevanju naslova prekoračite velikost medpomnilnika, naslov popravite tako, da zopet kaže na začetek medpomnilnika.

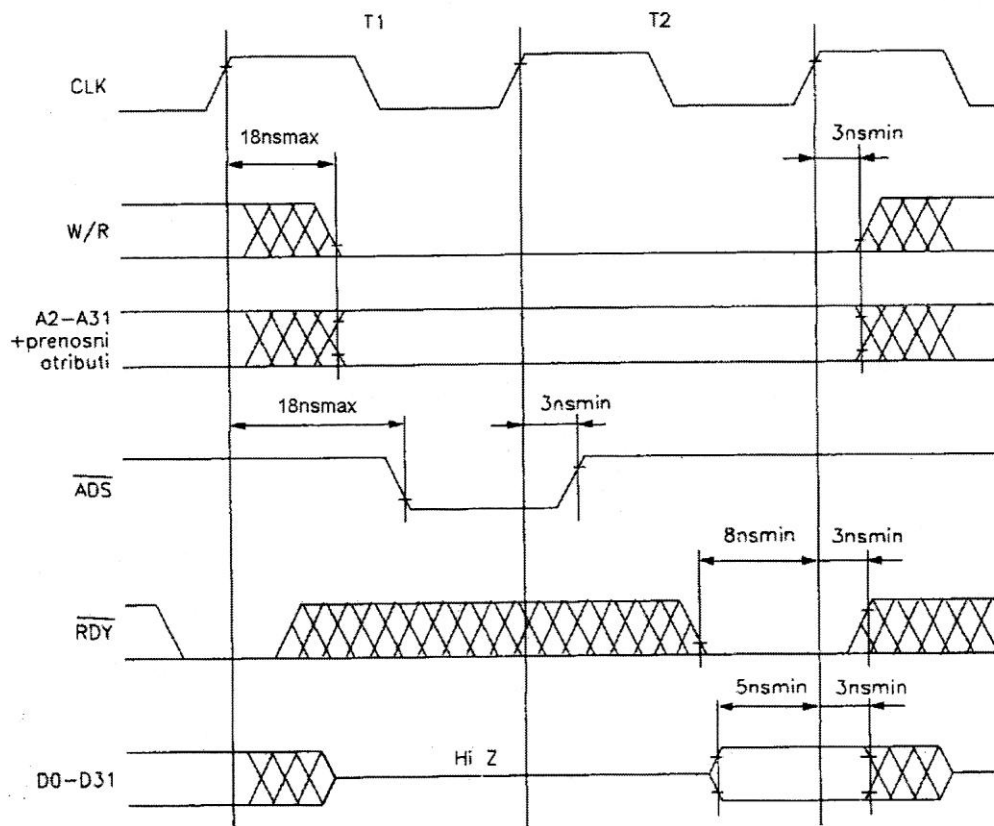
Naslovi registrov:

```
.equ ADC_BASE, 0x50000000
.equ ADC_CONTROL, 0x00
.equ ADC_DATA, 0x04

.equ AIC_BASE, 0xFFFFF000 /* AIC zacetni naslov */
.equ AIC_EOICR, 0x130 /* AIC_EOICR odmik */

BUFFER: .space 32
```

3. Izračunajte koliko ns traja najkrajši prenos podatkov iz V/I naprave v procesor 80486. Procesor deluje s frekvenco 33 MHz. Dostopni čas do V/I naprave je 140 ns, zakasnitev v logičnih vezjih, ki jih uporabljamo za izvedbo naslovnega dekodirnika pa je 5ns / vezje. Pri izdelavi dekodirnika različne signale peljemo zaporedno vsaj skozi eno, nekatere pa tudi skozi dve in tudi tri vezja. Maksimalni čas zakasnitve ADS ter drugih kontrolnih in naslovnih signalov (CLK visoko do ADS nizko stanje) je 18 ns, podatki pa morajo biti na vodilu vsaj 5ns pred koncem urine periode. Glej sliko spodaj:



4. Procesor z dolžino besede 8 bitov ima preko 32-bitnega podatkovnega vodila priključen SDRAM. SDRAM krmilnik naslovne signale procesorja preslika v signale SDRAM-a po spodnji sliki. Procesor zaporedoma bere 32 bitne podatke. Upoštevajte, da je SDRAM že nastavljen v ustrezen način delovanja, ni pa bil opravljen še noben bralni ali pisalni dostop.

Primerjajte zaporedni dostop do podatkov na naslovih  $00000014_{16}$  in  $00000214_{16}$ , zaporedni dostop do podatkov na naslovih  $00000014_{16}$  in  $00020014_{16}$  ter zaporedni dostop do podatkov na naslovih  $00000014_{16}$  in  $02000014_{16}$ . Ustrezno utemeljite, kako si sledijo pari zaporednih dostopov po času trajanja od najhitrejšega do najpočasnejšega.

Naslovni signali																																
25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00							
BA[0..1]		Vrstica[0..10]										Stolpec[0..10]										M[0..1]										

M[0..1] – naslov besede znotraj 32 bitov  
BA[0..1] – naslov modula

TOČKE: 1 – 40, 2 – 40, 3 – 20, 4 – 20

Čas reševanja 70 minut. Rezultati bodo objavljeni na <http://laps.fri.uni-lj.si/>