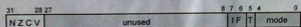


1.) Za mikrokrmilnik ARM (AT91SAM9260) želimo narediti aplikacijo, ki bere podatke preko USART vmesnika s pomočjo DMA prenosa in sprejete podatke procesira. Zato, da zagotovimo neprekinjen sprejem podatkov DMA tako nastavimo in uporabljamo, da so vedno vpisani podatki tudi za naslednji prenos bloka podatkov. Na razpolago imamo dve polji za hranjenje podatkov BUFF1 in BUFF2 dolžine 256 bajtov. Napišite naslednje:

- a) Prekinitveno servisni program, ki se sproži ob koncu branja bloka podatkov s pomočjo DMA. Program pogleda stanje spremenljivke BUF_HEAD. Če je njena vrednost različna od 0, nastavi podatke za naslednji DMA prenos v polje BUFF2, če pa enaka 0, pa nastavi podatke za naslednji DMA prenos v polje BUFF1. Spremenljivko BUF_HEAD nato ustrezno popravi, da se bodo ob naslednji prekinitvi v DMA krmlinik vpisali podatki za drugo polje. Program naj vsakič tudi nastavi spremenljivko BLK_PROG na 1.
- b) (bonus) Napišite zaporedje ukazov za ARM (AT91SAM9260), ki omogoči FIQ in IRQ prekinitve v CPE.

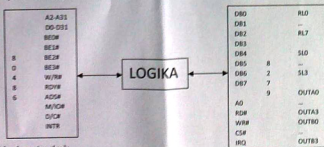
```
.equ USART_BASE, 0xFFFB0000 /* USART0 base address */

.equ DMA_RPR,      0x100 /* Receive Pointer Register */
.equ DMA_RCR,      0x104 /* Receive Counter Register */
.equ DMA_TPR,      0x108 /* Transmit Pointer Register */
.equ DMA_TCR,      0x10C /* Transmit Counter Register */
.equ DMA_RNPR,     0x110 /* Receive Next Pointer Register */
.equ DMA_RNCR,     0x114 /* Receive Next Counter Register */
.equ DMA_TNPR,     0x118 /* Transmit Next Pointer Register */
.equ DMA_TNCR,     0x11C /* Transmit Next Counter Register */
```



Slika CPSR v CPE

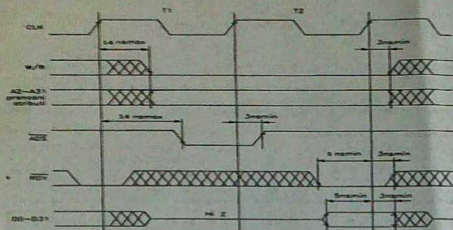
- 2.) Povežite krmlinik tipkovnice in prikazovalnika 8279 z mikroprocesorjem 80486. Krmlinik naj se nahaja na V/ naslovih FF72₍₁₆₎ in FF73₍₁₆₎. Povežite samo signale DB0-DB7, A0, RD#, WR#, CS# ter IRQ. Ostale signale pustite nepovezane. Dostop do krmlinika poteka brez čakalnih stanj. Za priključitev na podatkovno vodilo uporabite dve vezji 74xx245. Izdelajte tudi logiko, ki ob prekinitveni zahtevi v prekinitveno-prevzemnem ciklu da na podatkovno vodilo številko prekinitvenega vektorja 47₍₁₆₎. Tudi tu uporabite vezje 74xx245.



Krmlinik 8279 (razlaga signalov):

- A0 - vhodni naslovni signal
 DB0-DB7 - dvosmerni podatkovni signali; ko niso aktivni, so v visokem impedančnem stanju
 RD# - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim signalom CS# omogoča prenos podatkov iz vmesnika v procesor (bralni cikel)
 WR# - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim signalom CS# omogoča prenos podatkov iz procesorja v krmlinik (pisalni cikel)
 IRQ - izhodni kontrolni signal, aktiven v visokem stanju, procesorju sporoča zahtevo za prekinitve
 CS# - vhodni kontrolni signal, aktiven v nizkem stanju, omogoča delovanje krmlinika

- 3.) Izračunajte koliko urinih period traja najkrajši prenos podatkov iz V/I naprave v procesor 80486. Procesor deluje s frekvenco 40 MHz. Dostopni čas V/I naprave je 100 ns, zakasnitev v logičnih vezjih, ki jih uporabljamo za izvedbo naslovnega dekodirnika pa je 4 ns / vezje. Pri izdelavi dekodirnika zaporedno vezemo dve vezji. Maksimalni čas zakasnitve ADS ter drugih kontrolnih in naslovnih signalov (CLK visoko do ADS nizko stanje) je 14 ns, podatki pa morajo biti na vodilu vsaj 5 ns pred koncem urine periode. Glej sliko spodaj:



- 4.) (bonus) Poenostavljen IDE vmesnik povežite z mikroprocesorjem 80486. Povezave narišite tako, da bo CS1 signal aktiven na V/I naslovih 1F0₍₁₆₎ do 1F7₍₁₆₎. Branje in pisanje preko IDE vmesnika naj bo brez čakalnih stanj. Za priključitev na podatkovno vodilo procesorja uporabite vezja 74xx245. Dostopi na naslovu 1F0₍₁₆₎ so 16 bitni, dostopi na ostalih naslovih IDE vmesnika pa 8-bitni. Signala CS2 in INTRQ pustite nepovezana.

IDE vmesnik

A0-A2 - vhodni naslovni signali

IO0-IO15 - dvosmerni podatkovni signali; ko niso aktivni, so v visokem impedančnem stanju

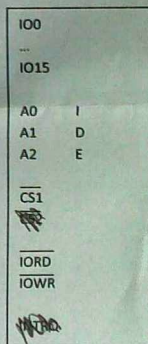
CS1 - vhodni kontrolni signal, aktiven v nizkem stanju, omogoča delovanje IDE vmesnika

CS2 - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim CS signalom

IORD - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim CS signalom omogoča prenos podatkov iz vmesnika v procesor (bralni cikel)

IOWR - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim CS signalom omogoča prenos podatkov iz procesorja v vmesnik (pisalni cikel)

INTRQ - izhodni kontrolni signal tipa odprti kolektor (odprti ponor), aktiven v visokem stanju, procesorju sporoča zahtevo za prekinitvev



Podatki za 74xx245



Pin Descriptions

Pin Names	Description
OE	Output Enable Input (Active LOW)
T/R	Transmit/Receive Input
A ₀ -A ₇	Side A Inputs or 3-STATE Outputs
B ₀ -B ₇	Side B Inputs or 3-STATE Outputs

Truth Table

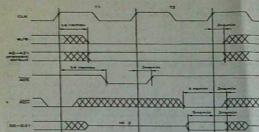
Inputs		Output
OE	T/R	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	HIGH Z State

H - HIGH Voltage Level
L - LOW Voltage Level
X - Immaterial

TOČKE: 1a - 40, 1b - 10, 2 - 40, 3 - 20, 4 - 25

Čas reševanja 75 minut. Rezultati bodo objavljeni na <http://laps.fri.uni-lj.si/ars>.

- 3.) Izračunajte koliko urinih period traja najkrajši prenos podatkov iz V/I naprave v procesor 80486. Procesor deluje s frekvenco 40 MHz. Dostopni čas V/I naprave je 100 ns, zakasnitev v logičnih vezjih, ki jih uporabljamo za izvedbo naslovnega dekodirnika pa je 4ns / vezje. Pri izdelavi dekodirnika zaporedno vezimo dve vezji. Maksimalni čas zakasnitve ADS ter drugih kontrolnih in naslovnih signalov (CLK visoko do ADS nizko stanje) je 14 ns, podatki pa morajo biti na vodilu vsaj 5ns pred koncem urine periode. Glej sliko spodaj:



- 4.) (bonus) Poenostavljen IDE vmesnik povežite z mikroprocesorjem 80486. Povezave narišite tako, da bo CS1 signal aktiven na V/I naslovih 1F0₍₁₆₎ do 1F7₍₁₆₎. Branje in pisanje preko IDE vmesnika naj bo brez čakalnih stanj. Za priključitev na podatkovno vodilo procesorja uporabite vezja 74xx245. Dostopi na naslovu 1F0₍₁₆₎ so 16 bitni, dostopi na ostalih naslovih IDE vmesnika pa 8-bitni. Signala CS2 in INTRQ pustite nepovezana.

IDE vmesnik

A0-A2 - vhodni naslovni signali

IO0-IO15 - dvosmerni podatkovni signali; ko niso aktivni, so v visokem impedančnem stanju

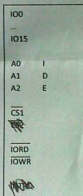
CS1 - vhodni kontrolni signal, aktiven v nizkem stanju, omogoča delovanje IDE vmesnika

CS2 - vhodni kontrolni signal, aktiven v nizkem stanju, omogoča delovanje IDE vmesnika

IORD - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim CS signalom omogoča prenos podatkov iz vmesnika v procesor (bralni cikel)

IOWR - vhodni kontrolni signal, aktiven v nizkem stanju, skupaj z ustreznim CS signalom omogoča prenos podatkov iz procesorja v vmesnik (pisalni cikel)

INTRQ - izhodni kontrolni signal tipa odprti kolektor (odprti ponor), aktiven v visokem stanju, procesorju sporoča zahtevo za prekinitev



Podatki za 74xx245



Pin Descriptions

Pin Names	Description
OE	Output Enable Input (Active LOW)
T/R	Transmit/Receive Input
A ₀ -A ₇	Side A Inputs or 3-STATE Outputs
B ₀ -B ₇	Side B Inputs or 3-STATE Outputs

Truth Table

Inputs		Output
OE	T/R	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	HIGH Z State

H - HIGH Voltage Level
L - LOW Voltage Level
X - Inusual

TOČKE: 1a - 40, 1b - 10, 2 - 40, 3 - 20, 4 - 25

Čas reševanja 75 minut. Rezultati bodo objavljeni na <http://laps.fri.uni-lj.si/ars>.