

Analiza in sinteza digitalnih vezij

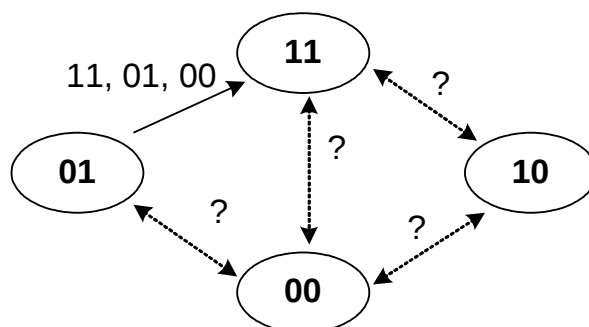
11. Vaja: Sinteza sekvenčnega vezja na podlagi časovnega diagrama

Na podlagi časovnega diagrama stanj **narišite diagram stanj** in **skonstruirajte sekvenčno vezje**. Sekvenčno vezje ima vhoda **A** in **B** in izhoda **Q₁** in **Q₂**, ter naj deluje po zakonitosti, kot je razvidna iz spodnjega časovnega diagrama. Za izvedbo uporabite JK- flip-flop-e in logična vrata tipa NAND. Po opravljeni sintezi narišite vezje v programu EWB in ga preko simulacije preizkusite in pri tem uporabite CMOS vezja npr. CD 4011 in CD 4027.

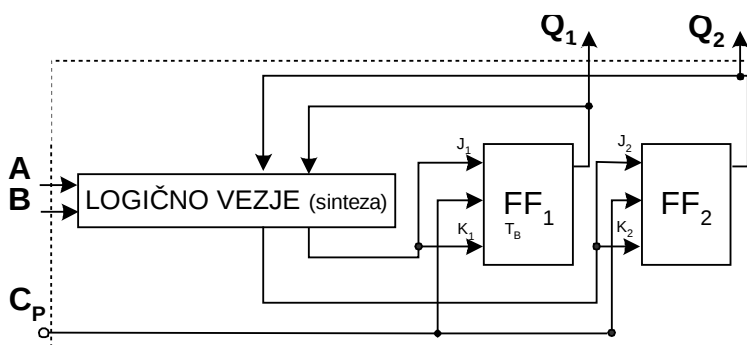
Preizkus delovanja opravite tako, da v **dajalnik logičnih stanj (Word generator)** vpišete **enako zaporedje stanj**, s katerimi boste krmilili vhoda **A** in **B**. Z logičnim analizatorjem opazujte vse signale (**C_p**, **A**, **B**, **Q₁**, **Q₂**) časovne odzive pa primerjajte s podanim časovnim diagramom. V primeru pravilnega delovanja se pojavi na zaslonu logičnega analizatorja podobna oblika časovnega diagrama, iz katere pa je razvidna ista zakonitost prehajanja stanj. Za kombinacije, ki v diagramu niso navedene smatrajte, da stanja flip-flopov ne spreminjajo.

Časovni diagram:

- **Diagram stanj:**



- **Blokovna shema:**



Sinteza vezja obsega sledeči vrstni red postopkov

- izbira FF (flip-flop-a),
- vzbujevalna tabela FF,
- vzbujevalna tabela za sekvenčno vezje,
- logične enačbe za sinhrono vhode FF
- minimiziranje logičnih enačb (Veitchev diagram),
- logično vezje na podlagi logičnih enačb,
- povezava FF z logičnim vezjem,
- preizkus vezja na enakem simuliranem vezju v EWB programu.

Vzbujevalna tabela sekvenčnega vezja (primer FF tipa JK):

št.	interval »n«				interval »n+1«		interval »n«			
	A	B	Q _{1(n)}	Q _{2(n)}	Q _{1(n+1)}	Q _{2(n+1)}	J _{1(n)}	K _{1(n)}	J _{2(n)}	K _{2(n)}
0	0	0	0	0	1	0	1	x	0	x
1	0	0	0	1	1	1	1	x	x	0
2	0	0	1	0	0	1	x	1		
3	0	0	1	1						
4										
5										
6										
7										
8										
9										
10										
11										
12										
13										
14										
15	1	1	1	1						

Vzbujevalna tabela:

Q _n	Q _{n+1}	J _n	K _n
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Logične enačbe krmilnih funkcij za FF

Minimizacija logičnih enačb in pretvorbe

Simbolno vezje

Logično vezje in simulacija delovanja v EWB

Ugotovitve glede pravilnosti delovanja:
