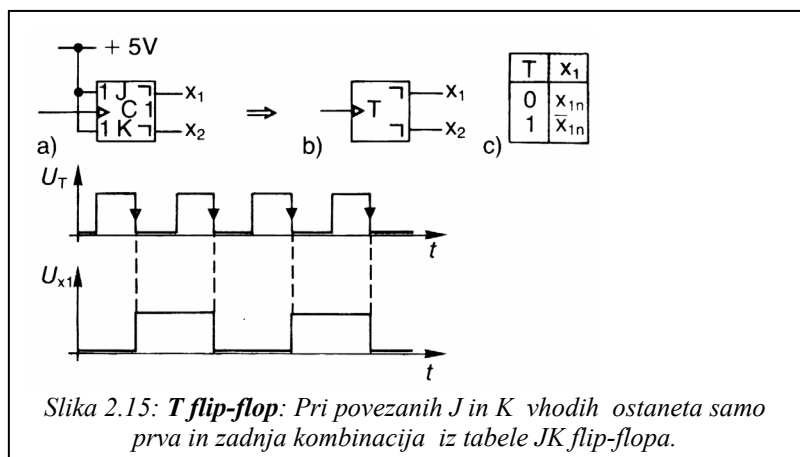
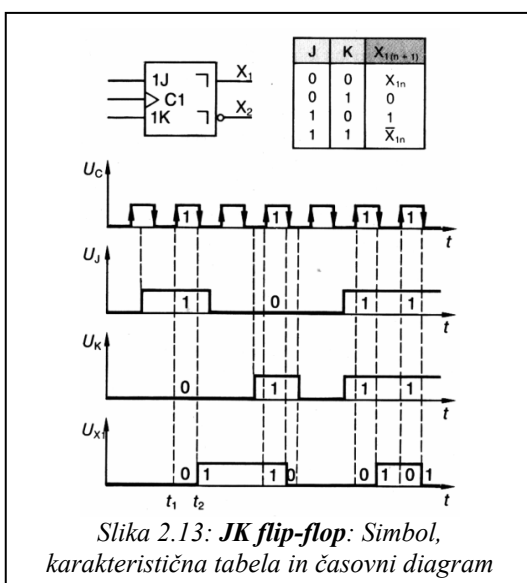
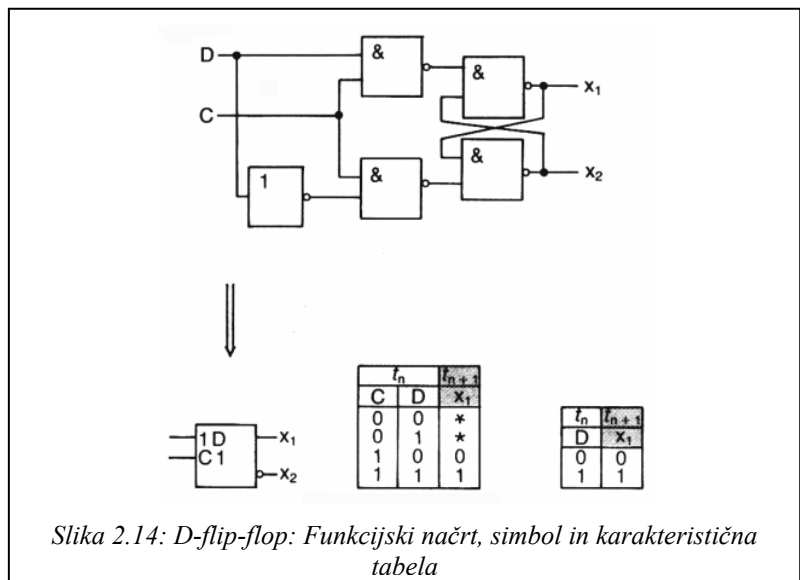
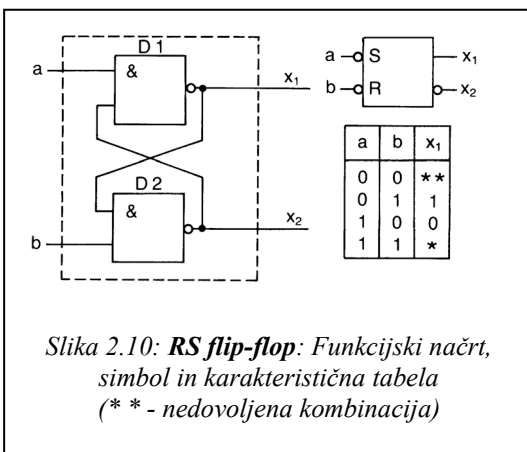
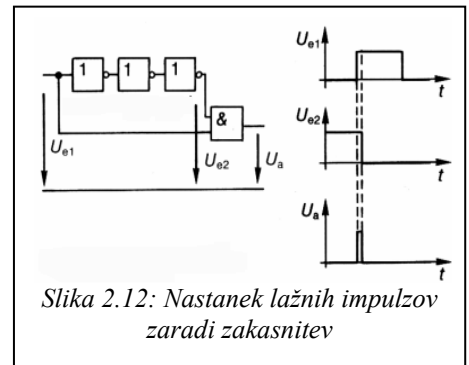
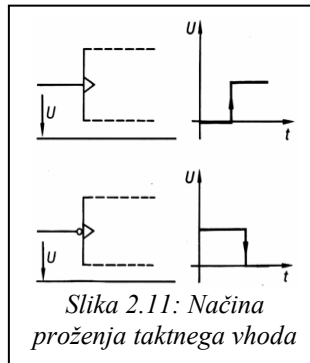


2.4 SEKVENČNA VEZJA

Z različnimi medsebojnimi povezavami osnovnih operatorjev, so realizirani tudi osnovni operatorji sekvenčnih vezij (flip-flopi). Flip-flopi (FF) so digitalni gradniki, ki so sposobni hraniti 1 bit informacije. Za FF je skupno, da imajo vhode, ki jih lahko razdelimo na kontrolne (npr. Cp), sinhrono (RS, D, T, JK) in asinhrono (CLEAR, PRESET,...), ter dva antivalentna izhoda Q. Glede na izvedbo in namen FF so lahko tudi brez nekaterih priključkov, vendar funkcija ostane ista. Logična stanja na sinhronih vhodih vplivajo na izhod le ob prisotnem taktne impulzu, medtem ko stanja asinhronih vhodih vplivajo neodvisno in kadarkoli. Za JK in T izvedbe FF je značilno proženje pri prehodu iz 1 na 0, medtem ko je za D značilno proženje pri prehodu taktne impulza iz 0 v 1.

Ovisno od izvedbe je lahko proženje flip-flopa na pozitiven (0-1) ali na negativen prehod (1-0) taktne (sinhronizacijskega) impulza- Cp.

Vsak logični gradnik povzroči določeno zakasnitev. Pri vzporednih povezavah lahko zaradi različnih zakasnitev pride do lažnih (hazardnih) impulzov, kateri lahko povzročijo napačno delovanje vezja (slika 2.12).



!!!Ponovite: Standardna sekvenčna vezja (registri, latch vezja, števc, delilniki frekvence,...)

2.4.1 SINTEZA IN ANALIZA SEKVENČNIH VEZIJ

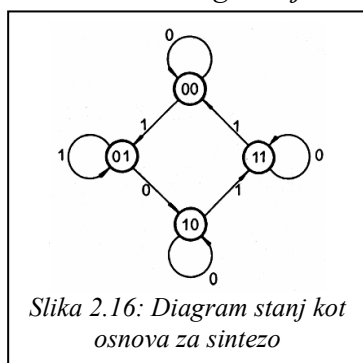
Za sekvenčna vezja je značilno, da logično stanje na posameznih izhodih zavisi od trenutnih stanj na vhodih vezja (vhodna kombinacija) in od trenutnih notranjih stanj pomnilnih celic.

Sinteza sekvenčnega vezja obsega sledeče postopke:

- Zapis problema v obliki diagrama stanj ali časovnega diagrama
- Zapis tabele prehajanja stanj spominskih celic (flip flop-ov) v dveh intervalih ob upoštevanju vseh možnih vhodnih kombinacij
- Izbrati potrebno število in primeren tip flip-flop-ov
- Ob upoštevanju vzbujevalne tabele izbranega tipa flip-flop-a dopolniti tabelo prehajanja stanj v vzbujevalno tabelo sekvenčnega vezja.
- Zapis logičnih enačb za vzbujanje vhodov posameznih flip-flop-ov in minimiziranje enačb
- Zapis enačb v minimizirani obliki in pretvorba enačb glede na predvideno izbiro gradnikov
- Zasnova vezja na simbolni ravni
- Konstrukcija vezja na osnovi izbranih realnih integriranih vezij (SN74HC..., CD40...,...)
- Preizkus vezja v obliki simulacije in/ali prototipa realnega vezja

Primer:

Sinteza sekvenčnega vezja:

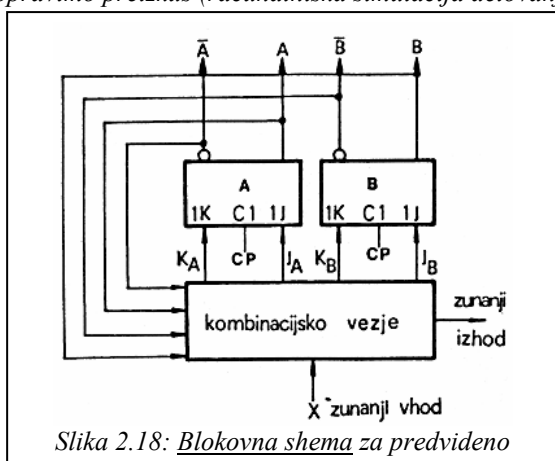


Slika 2.16: Diagram stanj kot osnova za sintezo

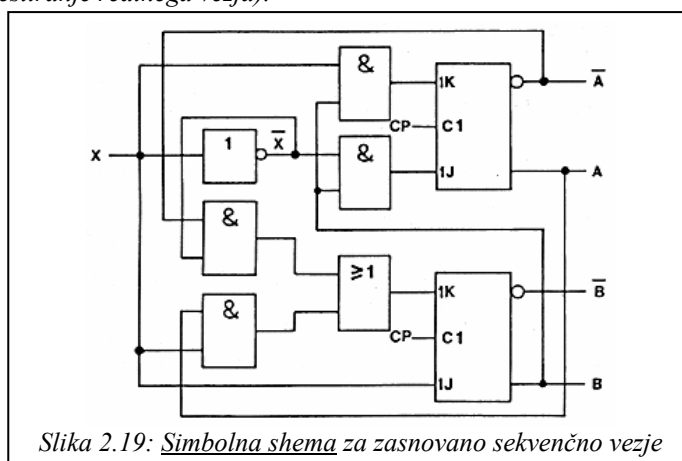
Vhodi kombinacijskega vezja			Naslednje stanje		Izhodi kombinacijskega vezja (vhodne funkcije)			
Sedanje stanje	Vhod		A	B	Vhodi v FF			
A	B	x	A	B	JA	KA	JB	KB
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

Slika 2.17: Vzbujevalna tabela predvidenega sekvenčnega vezja

Na podlagi diagrama stanj narišemo blokovno shemo in napišemo pravilnostno tabelo. Vpišemo tudi kombinacije, ki ne nastopajo. Izberemo izbrani tip FF in tabelo dopolnimo z vzbujevalno funkcijo tega FF. Iz tabele dobimo funkcije za krmiljenje posameznih FF preko sinhronih vhodov. Funkcije minimiziramo in narišemo simbolno shemo, kjer vhode FF povežemo preko teh funkcij z izhodi. Na podlagi simbolne sheme izberemo komponente, narišemo električno vezje in opravimo preizkus (računalniška simulacija delovanja, testiranje realnega vezja).



Slika 2.18: Blokovna shema za predvideno



Slika 2.19: Simbolna shema za zasnovano sekvenčno vezje

Analiza sekvenčnega vezja poteka v obratni smeri:

- Primerna označitev vhodov in izhodov na obstoječem sekvenčnem vezju
- Sestava tabele stanj na osnovi analize stanj flip-flop-ov pri različnih vhodnih kombinacijah
- Predstavitve vhodno/izhodnih odvisnosti na najbolj primereni obliki (tabela prehajanja stanj, diagram stanj, časovni diagram,...)