

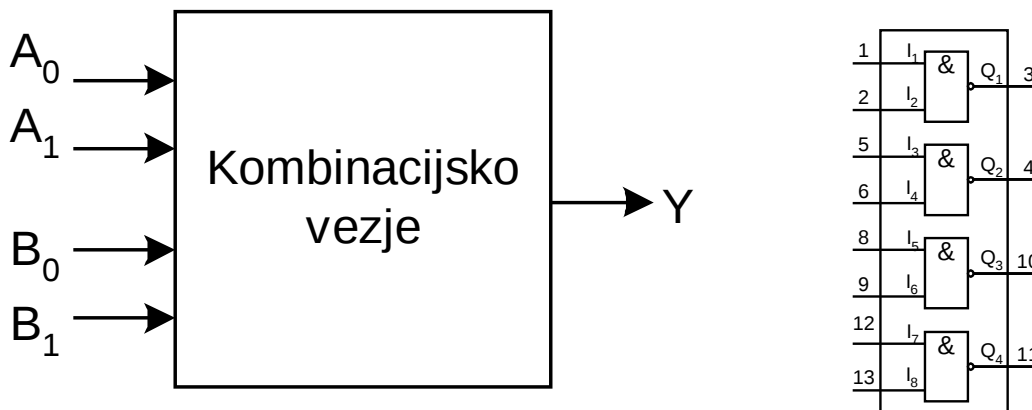
## Sinteza kombinacijskega vezja

### Besedilo naloge:

Konstruiraj logično kombinacijsko vezje, pri katerem bo izhod Y v stanju »1« le tedaj, kadar bo vsota dvobitnih števil  $A_0, A_1, B_0, B_1$  v desetiškem pomenu večja od 3. Pri vseh ostalih vsotah, ki so manjše ali enake 3, naj bo izhod Y v stanju »0«. Pri sintezi opravi minimizacijo z Veitchevim diagramom in vezje preuredi, ter nariši v izvedbi s 2-vhodnim NAND komponentami.

Delovanje vezja simuliraj v EWB programu in opravi preizkus tako, da na oba vhoda priključiš dajalnik logičnih stanj, ki mu vpišeš vse možne kombinacije in opazuj stanje izhoda. Na vsakega od obeh vhodov lahko zaradi lažjega opazovanja priključiš tudi BCD prikazovalnik.

### Shema vezja:



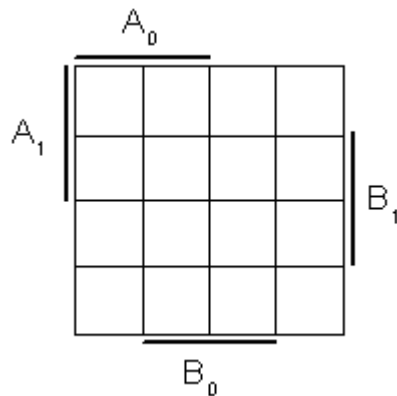
## Logična tabela

Vhodna kombinacija	Število B		Število A		Izhod
	B <sub>1</sub>	B <sub>0</sub>	A <sub>1</sub>	A <sub>0</sub>	Y
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

## Logična enačba

$$Y(B_1, B_0, A_1, A_0) = \overline{B_1} \overline{B_0} A_1 A_0 + B_1 \overline{B_0} \overline{A_1} \overline{A_0} + B_1 \overline{B_0} A_1 A_0 + B_1 B_0 \overline{A_1} A_0 + B_1 B_0 A_1 A_0 + B_1 B_0 A_1 \overline{A_0}$$

## Veitchev diagram



## Minimizacija

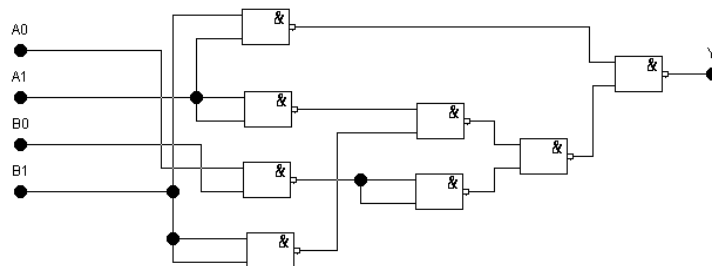
$$Y(B_1, B_0, A_1, A_0) = A_0 B_0 B_1 + A_0 A_1 B_0 + A_1 B_1$$

## Pretvorba v NAND

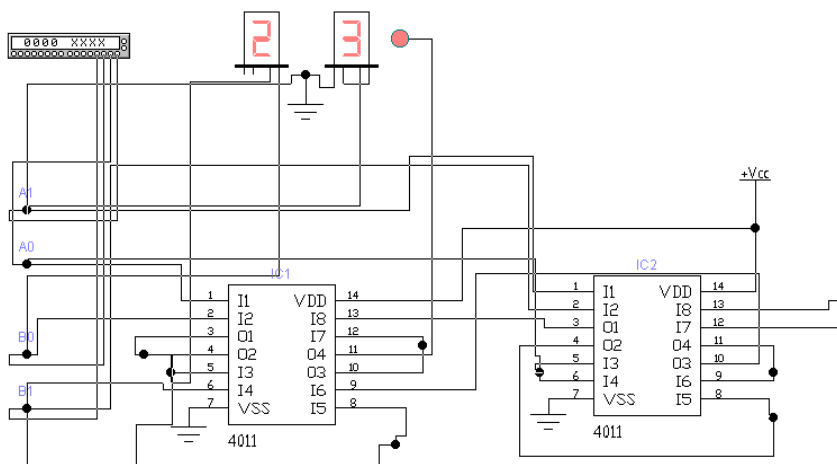
De – Morganov izrek :  $Y = A + B + C = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}}$  ;  $Y = A \cdot B \cdot C = \overline{\overline{A} + \overline{B} + \overline{C}}$

$$Y(B_1, B_0, A_1, A_0) = \overline{\overline{A_1} \cdot \overline{B_1} \cdot \overline{(A_0 \cdot B_0)}} \cdot \overline{\overline{A_1} \cdot \overline{B_1}}$$

### Logično vezje



### EWB



### Opis merilne metode:

Najprej smo v logično tabelo vpisali vse možne kombinacije, nato pa smo sešteli števili A in B. Na izhod napisali logično enačbo, ki smo jo nato minimizirali v Veitchevem diagramu. Minimizirano obliko smo realizirali z dvovhodnimi NAND vrati. Vezje smo nato preizkusili v programu EWB in je delovalo.